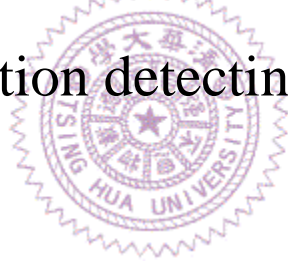


國立清華大學

博士論文

以 SOI 晶片實現三軸加速度感測系統

Implementation of SOI-based 3-axis
acceleration detecting system



系別：動力機械工程所博士班

學生姓名：徐家保 (Chia-Pao Hsu)

指導教授：葉銘泉 博士 (Dr. Ming-Chuen Yip)

方維倫 博士 (Dr. Weileun Fang)

中華民國九十九年七月

中文摘要

本研究以 SOI 晶片為基礎，透過一般型態之電容式平面加速度計為例，探討加速度計元件之設計考量參數，並透過元件設計模擬、製程開發，研製出平面加速度計。並透過量測系統的建置，量測平面加速度計之基本元件特性。從此基礎進而發展新型態透過 SOI 晶片為基礎，研製以差分電容感測電極之出平面加速度計，其中感測電極以氣密閉合架構提高元件靈敏度，並初步驗證出平面加速度計之可行性。此出平面具有：(1)質量塊包含 SOI 晶片之元件層以及處理層；(2)量測之靈敏度因為氣密閉合的差分電極感測而增加；(3)透過金屬連接 SOI 晶片元件層以及處理層的電性；(4)感測電極間距由 SOI 晶片中的氧化層決定。並透過出平面加速度計之設計概念，進一步設計出單一質量塊三軸加速度計，其中三軸感測方向之電極，皆以氣密閉合差分電容感測電極架構來達成。三軸加速度計除了前述出平面加速度計之特向外，具有：(1)透過多晶矽回填技術連接 SOI 晶片元件層以及處理層的電性；(2)三軸感測方向皆是以氣密閉合之差分電容電極為架構，且透過單一質量塊感測三軸方向之設計。最後，製程設計具有批量製造之能力，並初步驗證三軸加速度計之可行性。

關鍵字：SOI、氣密閉合、差分電容電極、三軸加速度計

Abstract

In this thesis, the design considerations for capacitive-type accelerometer are investigated. The normal type in-plane accelerometer on an SOI wafer is implemented by way of device design, simulation and process development. The typical measurement results are obtained by testing system. A novel capacitive-type out-of-plane accelerometer is presented. This accelerometer contains special designed gap-closing differential sensing electrodes. The present out-of-plane accelerometer has: (1) proof-mass is increased by combining both device and handle silicon layers of the SOI wafer, (2) the sensitivity is improved by gap-closing differential electrodes design, (3) the electrical interconnection between the device and handle layers of the SOI wafer is available by means of the metal-vias, and (4) the sensing gap thickness is precisely defined by the buried-oxide layer of the SOI wafer. Furthermore, according to design concept of the out-of-plane accelerometer, the 3-axis accelerometer with single proof-mass is presented. This 3-axis accelerometer contains gap-closing differential sensing electrodes in all sensing direction. Except of the merits in out-of-plane accelerometer, the present 3-axis accelerometer also has: (1) the electrical interconnection between the device and handle layers of the SOI wafer is available by means of the poly-Si refilled array instead of the metal-vias, and (2) the gap-closing differential sensing electrodes are designed in all direction with single proof-mass. Finally, the process for 3-axis accelerometer has batch fabrication property, and typical measurement results demonstrate the feasibility of 3-axis accelerometer.

Key words: SOI, gap-closing, differential capacitive electrodes and 3-axis accelerometer

致謝

總算是完成了人生的一個階段，結束了長達五年半的博士生涯。首先當然要感謝指導教授葉銘泉博士以及方維倫博士，透過老師的指導以及給予學生無限的研究資源，才能夠讓學生順利的完成學業。要不是老師給學生一句挑戰的方向：“是不是能設計不同的出平面方向感測機制？”，我想目前可能仍在摸索當中，在無法順利完成學業的懊悔中掙扎。

其次要感謝台積電 MEMS 部門的段孝勤處長、國家奈米實驗室楊富量主任、清大電子所盧向成副教授以及交大機械所陳宗麟副教授於論文口試時擔任評審委員所提供的指導以及意見，讓博士論文的架構更加完整，對於各位的指導學生謹記在心。同時要感謝清大奈材中心、交大半導體中心、國家奈米實驗室、清大自強基金會等單位所提供的製程設備，使論文得以順利完成。

此外，感謝開啟我微機電之技術於一身的莫過於懷遠學長了，回想練功的過程當中，每次都是約早上八點在交大奈米中心的大門口，學長並不明白一個研究生要過著正常作息是多麼困難的一件事，即使拼了命設好幾個鬧鐘，往往還是會遲到個五分鐘左右，於是就被懷遠學長念個半死。不過現在想想學長是對的，對於研究態度的認真以及時間的調配是我在訓練的過程當中，最佩服的一點。

此外，感謝在研究過程給予我許多意見的學長---登宏、文誌、旺申、學安、傳蔚以及勝議；一起奮鬥的伙伴---炯文、信瑤、家民、宗霖、明翰、侑道、文健以及育嘉；以及實驗室的學弟妹---竣凱、啟琮、育嘉、伯凱、孜育以及義昌。特別的交大半導體中心范小姐、徐姑姑、黃阿姨，在做實驗中跟我聊天打發無聊的製程時間，天南地北什麼都聊，這也是我研究過程中很重要的一個回憶。

這幾年博士生涯最要感謝的就是我的家人---母親、姊姊、弟弟、姊夫以及祈恩。在低潮的過程中陪伴我，也一起分享喜悅的時刻。感謝母親一路上的栽培，

不只是在學業上，更是在做人處事中教導我如何應對許多的事情，做正確的選擇。雖然常常有摩擦，但是也這樣一路走了過來，謝謝母親大人。

當然，這不是一個結束，以為這樣學長畢業就離開了嗎？不不不！！！！還是會常常看到我出現在實驗室，千萬不要意外，所以有任何需要討論的地方，不用客氣找學長阿！～

各位再見了！牌喀再見了！球喀再見了！宵夜喀再見了！珍重再見了…………



第一章 緒論.....	1
1-1 前言	1
1-2 文獻回顧	2
1-3 研究目標.....	8
第二章 加速度計基本原理及元件特性	28
2-1 基本原理.....	28
2-1-1 加速度計元件運動行為.....	28
2-1-2 加速度計元件電容感測表示.....	31
2-1-3 電容感測放大器.....	33
2-1-4 加速度計元件增益流程圖.....	35
2-2 加速度計元件特性介紹.....	35
2-3 平面加速度之設計.....	37
2-3-1 平面加速度元件設計概念.....	37
2-3-2 製程設計與結果.....	38
2-3-3 元件封裝與量測.....	39
2-4 結論.....	39
第三章 出平面差分電極之加速度計設計.....	48
3-1 設計概念.....	48
3-2 製程設計與結果.....	50
3-3 元件封裝與量測.....	52
3-4 結論	53
第四章 差分感測電極之單質量塊三軸加速度計.....	67
4-1 設計概念.....	67
4-2 製程設計與結果.....	74

4-3 元件封裝與量測.....	76
4-4 結論.....	79
第五章 總結.....	96
5-1 研究成果.....	96
5-2 未來工作.....	97
參考文獻	100
論文發表	108
附錄 A 微機電加速度計之衝擊試驗可靠度分析	109
A-1 衝擊試驗	109
A-2 結論	110
附錄 B 業界加速度計元件發展	120



表 3-1 新型態出平面加速度計元件選用之 SOI 晶片規格	55
表 3-2 新型態出平面加速度計元件選用之設計規格	55
表 3-3 出平面加速度計初步量測結果	56
表 4-1 三軸加速度計電容變化模擬結果 (單位：fF)	80
表 4-2 三軸加速度計靈敏度模擬結果 (單位：fF)	80
表 4-3 三軸加速度計解耦合模擬結果	80
表 4-4 三軸加速度計選用之 SOI 晶片規格	81
表 4-5 初步三軸加速度計感測特性	81
表 A-1 衝擊試驗條件	111
表 A-2 商用加速度計靈敏度規格	111
表 A-3 ADXL330 衝擊前後靈敏度量測結果	111
表 A-4 LIS331AL 衝擊前後靈敏度量測結果	112
表 B-1 目前業界各公司的慣性感測器之製造技術、感測機制以及元件的型態	123

圖 1-1 Yole report 2008 年至 2013 年慣性感測器發展曲線 [1]	10
圖 1-2 慣性感測器於車用電子之應用 [2]	10
圖 1-3 胎壓監控系統之架構圖 [3]	11
圖 1-4 胎壓監控模組裝置於輪胎的示意圖 [3]	11
圖 1-5 iphone GPS 系統整合加速度計與電子羅盤 [4].....	12
圖 1-6 任天堂 Wii 遊戲機的手把首先提出整合加速度計元件以及陀螺儀 [5].....	12
圖 1-7 PlayStation Move 動態控制器內建三軸陀螺儀、三軸加速度計與地磁力偵測器 [6]	13
圖 1-8 (a) 垂直式加速度計之感測架構；(b)側向式加速度計之感測架構 [16]	13
圖 1-9 利用梳狀電極感測出平面方向以面積改變產生的電容變化 [23]	14
圖 1-10 扭轉的結構下佈上感測電極來感測出平面訊號 [25]	14
圖 1-11 Sandia's iMEMS (MEMS-First)製程 [54].....	15
圖 1-12 以一個出平面方向感測元件以及兩個側向感測元件來達到三軸加速度方向之感測[54]	15
圖 1-13 Sandia's iMEMS 製程來達成單一質量塊之三軸加速度計設計[53].....	16
圖 1-14 透過 EDP 蝕刻液將為高濃度參雜之單晶矽移除之製程步驟[55].....	16
圖 1-15 以產生扭轉方式來感測出平面方向的加速度元件設計[35]	17
圖 1-16 以全對稱結構之單晶矽加速度計元件 [56]	17
圖 1-17 多晶矽回填技術所研製的出平面感測加速度計製程[56]	18
圖 1-18 以全對稱結構之單晶矽加速度計元件實體圖 [56]	18
圖 1-19 以多晶矽回填技術所開發的三顆三軸方向加速度感測系統架構[57]	19
圖 1-20 三顆三軸方向加速度感測系統架構實體圖[57]	19
圖 1-21 CMOSMEMS 乾蝕刻後製程技術 [58].....	20
圖 1-22 以 CMOSMEMS 製程所開發的出平面加速度感測架構 [58]	20
圖 1-23 以梳狀電極的設計感測側向之加速度計 [59]	21

圖 1-24 多晶矽之加熱結構改善應力翹曲 [62]	21
圖 1-25 H. Qu 等人以 CMOSMEMS 設計之三軸加速度計元件 [63]	22
圖 1-26 CMOSMEMS 透過硫酸蝕刻鋁金屬的特性取代乾蝕刻的機制 [67]	22
圖 1-27 以濕蝕刻製程研製出平面氣密閉合感測電極之加速度計 [67]	23
圖 1-28 以濕蝕刻製程達成三軸加速度感測之架構 [64]	23
圖 1-29 以 SOI 製程達成三軸加速度感測之架構 [69]	24
圖 1-30 出平面方向差分電極之設計 [71]	24
圖 1-31 以 SOI 晶片可以研製三軸方向皆以差分電極設計之三軸加速度計 [75] ..	25
圖 1-32 T. Mineta 利用擺垂的設計感測平面方向加速度訊號 [76]	25
圖 1-33 T. Mineta 擺垂設計爆炸圖 [76]	26
圖 1-34 Y. Watanabe 等人之設計概念 [78]	26
圖 1-35 SOI 晶片製作單一質量塊五軸慣性感測元件架構圖 [79]	27
圖 1-36 論文主要架構	27
圖 2-1 加速度計元件示意圖	40
圖 2-2 透過(2-8)式所繪出的動態系統之頻率響應圖	40
圖 2-3 加速度計之等效模型	41
圖 2-4 MS3110 電容式感測電路架構[80]	41
圖 2-5 加速度計元件特性增益流程圖	42
圖 2-6 基本型態之平面加速度元件設計概念	42
圖 2-7 平面加速度計元件之模型	43
圖 2-8(a)平面加速度計之結構第一模態 (1.13kHz)、(b)第二扭轉模態(3.5kHz)以及 (c)出平面方向第三模態(3.8kHz)	43
圖 2-9 平面加速度計製程步驟	44
圖 2-10 平面加速度計元件之電子顯微鏡圖	44
圖 2-11 平面加速度計之(a)後組裝的卡榫設計、(b)組裝前以及(c)組裝後	45
圖 2-12 平面加速度計元件經由打線封裝於陶瓷基板的實體圖	46

圖 2-13 平面加速度計之量測架構.....	46
圖 2-14 加速度計元件架設於振動機上之實體圖	47
圖 2-15 平面加速度計加速度外力與電壓輸出的關係圖	47
圖 3-1 新型態出平面加速度計(a)元件上視圖以及(b)元件後視圖	57
圖 3-2 新型態出平面加速度計元件之(a) AC 剖面以及(b)BC 剖面	58
圖 3-3(a) 初步元件設計之第一模態：3.5 kHz、(b) 初步元件設計之第二模態：7.67 kHz、以及(c) 初步元件設計之第三模態：8.79 kHz.....	59
圖 3-4 初步元件設計之製程步驟.....	60
圖 3-6 本研究加速度計以銀膠做為金屬連接之結果及打線示意圖.....	62
圖 3-7 出平面加速度計元件黏著於含有金屬導線的玻璃基板示意圖	62
圖 3-8 封裝於陶瓷基板實體圖	63
圖 3-9 出平面加速度計元件裝置於振動機之實體圖	63
圖 3-10 商用感測電路實體圖(MS3110 Readout IC)	64
圖 3-11 初步量測頻譜圖 (振動機所提供的加速度外力為 1G).....	64
圖 3-12 加速度計初步量測結果(a)輸入加速度與輸出電壓之關係, 及(b)量測加速 度之最小量測值.....	65
圖 3-13 以 SOI 晶片發展三軸方向加速度感測之製程平台	66
圖 4-1 單質量塊三軸加速度計元件之設計概念 (a) 正視圖以及(b)後視圖.....	82
圖 4-2 三軸加速度計示意圖之(a) AA'剖面圖以及(b)BB'剖面圖	83
圖 4-3 三軸加速度計之 AB 剖面示意圖	83
圖 4-4 三軸加速度計平面感測示意圖之(a) AA'剖面圖以及(b)BB'剖面圖	84
圖 4-5 計算當加速度計元件扭轉運動的差分電極之電容變化輸出.....	84
圖 4-6 三軸加速度計元件之 Coventorware 3D 模型	85
圖 4-7 三軸加速度計之前三個模態,(a) Z 軸模態(1.645kHz),(b)X 軸模態(1.653kHz) 以及(c)Y 軸模態(1.742kHz)	86
圖 4-8 三軸加速度計之製程步驟.....	87

圖 4-9 三軸加速度計之電子顯微鏡(a)正視圖以及(b)後視圖	88
圖 4-10 三軸加速度計之(a)差分電極、(b)可動上電極與固定下電極以及(c)可動下 電極與固定上電極所組成的差分電容電極設計	89
圖 4-11 三軸加速度計元件的打線封裝於陶瓷基板之結果	90
圖 4-12 三軸加速度計量測所用之具有屏蔽導線訊號板	90
圖 4-13 三軸加速度計量測平面方向的架設	91
圖 4-14 三軸加速度計量測出平面方向的架設	91
圖 4-15 商用電路 MS3110 的架設圖	92
圖 4-16 初步的三軸加速度感測訊號	93
圖 4-17 三軸加速度計 X 方向的解耦合量測結果	93
圖 4-18 三軸加速度計 Y 方向的解耦合量測結果	94
圖 4-19 三軸加速度計 Z 方向的解耦合量測結果	94
圖 4-20 X 方向(a)左邊電極以及(b)右邊電極寬度量測；Y 方向(c)上邊電極以及(d) 下邊電極寬度量測	95
圖 5-1 三軸加速度計之製程改進	99
圖 5-2 三軸加速度計整合感測電路	99
圖 A-1 (a)ADXL330 及(b)LIS331AL 商用加速度計衝擊規格	113
圖 A-2 衝擊試驗機 (宜特科技)	113
圖 A-3 試驗機提供(a) 10,000g, 0.1ms 以及(b)10,000g, 0.2ms 之衝擊外力	114
圖 A-4 量測用之 PCB 板	114
圖 A-5 (a)X 方向、(b)Y 方向以及(c)Z 方向之量測架構	115
圖 A-6 衝擊試驗前 ADXL330 元件之靈敏度量測結果	116
圖 A-7 衝擊試驗後 ADXL330 元件之靈敏度量測結果	117
圖 A-9 10,000g 的衝擊下反應時間 0.1ms，(a)衝擊試驗前以及(b)衝擊試驗後 ...	118
圖 A-10 10,000g 的衝擊下反應時間 0.2ms，(a)衝擊試驗前以及(b)衝擊試驗後 .	119
圖 B-1 ADI 所提出的 iMEMS 製程 [2]	124

圖 B-2 ADI 所開發之 SOI iMEMS 製程 [2]	124
圖 B-3 STMicroelectronics 所開發的 THLMA 製程 [26]	125
圖 B-4 Freescale 以多晶矽所開發的三明治結構 [27]	125
圖 B-5 Freescale 所開發的 HARMEMS 技術 [27]	126
圖 B-6 Bosch 所開發的磊晶技術製程 [32]	126
圖 B-7 以 Bosch 磊晶製程所研製的感測器 [32]	127
圖 B-8 VTI 所開發的三維微機電製程 [33]	127
圖 B-9 DENSO 所開發的 SOI 製程結果 [38]	128
圖 B-10 MEMSIC 所開發的 CMOSMEMS 製程 [41]	128
圖 B-11 WACOH 所開發之擺垂式三軸加速度計 [42]	129



符號表

m_{eq} ：等效質量

c_{eq} ：等效阻尼係數

k_{eq} ：等效彈簧係數

Q ：品質因子

ω_0 ：共振頻率

F ：慣性力

x ：位移

G ：慣性加速度

g ：感測間隙

ε ：介電常數

A ：感測電極面積

C_0 ：感測電極初始電容

C_{xr} ：x 方向右方感測電極電容值

C_{xl} ：x 方向左方感測電極電容值

C_{yr} ：y 方向右方感測電極電容值

C_{yl} ：y 方向左方感測電極電容值

θ ：結構相對於轉軸之旋轉角

$L1$ ：從轉軸到最近電極距離

$L2$ ：從轉軸到最遠電極距離

W ：感測電極之寬度



第一章 緒論

1-1 前言

微機電領域的發展在這幾年中最具代表性的就是慣性感測器(inertial sensors)，微加速度計(micro accelerometer)以及微陀螺儀(micro gyroscope)。著名的市場調查 Yole report 顯示 2008 年至 2013 年慣性感測器的發展曲線如圖 1-1 所示，在 2010 年中預估在加速度計會有接近 1250 百萬美金的產值，而陀螺儀也達 900 百萬美金的產[1]。從此評估報告可以看見隨著科技的發展，市場上對於慣性感測器的需求越來越多。

慣性感測器在消費市場上主要有三個應用範圍：(1) 車用電子產品、(2) 消費性電子產業以及(3) 電視遊樂器。在車用電子產品中，如圖 1-2 所示，主要有防撞偵測安全氣囊系統(crash detection, airbag system)、導航系統(Navigation)以及電子穩定控制系統(Electronic Stability Control, ESC)皆為慣性感測器的應用範疇[2]。防撞安全氣囊系統為行車時的標準安全裝置，當汽車突然因車禍或其他緣故產生撞擊時，加速度計元件偵測到此撞擊的加速度達到約數十重力加速度，此時的衝擊會對行車者的生命產生危害，因此而打開安全氣囊的開關，在數個微秒內將安全氣囊開啟，確保行車者之安全。除此之外胎壓監控系統(Tire Pressure Monitor System, TPMS)在未來亦具有極大市場的價值。如圖 1-3 所示，為胎壓監控系統之架構圖，監測胎壓內的壓力、溫度以及加速度，確保行車中輪胎的安全性，減少事故的發生。如圖 1-4 所示為胎壓監控模組裝置於輪胎的示意圖[3]。

慣性感測器的最大市場需求為消費性電子產業，尤其手機的產業是目前許多大廠所極欲攻佔的領域。根據報導 Nokia 手機一年的銷售量約為一億隻，SonyEricson 約為五千萬隻，再加上其他大廠以及目前最紅的白牌手機，其市場潛力可想而知。智慧型手機 iPhone 透過加速度計作為手機的遊戲感測器，如圖 1-5 所示，在近期推出的 3GS 系列中，結合電子羅盤(E-compass)的模組作為行動

導航的感測器[4]。由此可知，隨著科技的進步，手機不再只是打電話的用途，透過更多感測器的推陳出新，將有更多附加的價值存在，然而慣性感測器在此就扮演很重要的角色。在未來陀螺儀元件也將會整合於手機系統中，作為行動導航尋軌的功能，以便迷路時可透過此模組帶使用者回到之前所存取的位置。此外，在相機的應用中，利用加速度計或陀螺儀作為畫面穩定輸出的感測器，亦是慣性感測器在消費性電子產業的應用範圍。

電視遊樂器亦是慣性感測器應用中佔有舉足輕重的地位。如圖 1-6 所示，任天堂 Wii 遊戲機的手把首先提出整合加速度計元件，可以提供遊戲有人機互動的功能，透過甩動搖桿偵測加速度訊號而對遊戲產生動作，如桌球、保齡球等運動遊戲[5]。在近期更推出整合所謂動感強化器，即整合陀螺儀於搖桿中，除了原先可以偵測加速度訊號外，透過此動感強化器來偵測角速度訊號，在遊戲中可以做出旋轉的動作。如保齡球遊戲中，加裝此強化器後，可以打出曲球的功能，這是在之前未安裝此強化器時做不到的部分。美國索尼電腦娛樂（SCEA）於 2010 年 3 月 10 日宣布 PlayStation Move 動態控制器，如圖 1-7 所示，PlayStation Move 動態控制器是搭配 PS3 專用 USB 攝影機 PlayStation Eye 使用的棒狀控制器，內建三軸陀螺儀、三軸加速度計與地磁力偵測器，能將控制器的位置與動態 1:1 確實反應到遊戲中[6]。

隨著微機電技術的發展，許多的感測器可以透過半導體相容製程於半導體電子廠批量製造，因而降低成本。在市場上的應用亦明顯可見，且已看見含有微機電技術所發展的慣性感測器整合於產品中。因此，在這幾年當中微機電慣性感測器的蓬勃發展是相當可以被期待的。

1-2 文獻回顧

加速度計目前在業界已有許多的產品出來，技術也已經相當的成熟，在文獻中各種設計以及專利不勝枚舉。加速度計發展中，元件型態主要分成(1)壓電式、(2)電容式、(3)穿隧式、(4)共振式以及(5)熱傳式。由於本研究主要以電容式為主

要研究對象，將根據電容式加速度計為討論主題。

電容式加速度計之設計主要分為(1)面型微加工技術、(2)體型微加工技術、(3)CMOSMEMS 以及(4)SOI 製程技術。電容式加速度計的操作基本原理為當加速度外力施加於系統時，加速度計元件之質量塊因受到外力而離開平衡位置，進而產生位移。此位移造成感測固定電極與可動電極之間的間隙產生電容值的改變，此電容變化量透過感測電路轉換成電壓輸出。以矽基材作為電容式加速度計為目前的主流技術發展，主要原因是可以與半導體製程相容，因而可以達到批量製造進而降低製程之成本。電容式加速度計亦具有高靈敏度、雜訊小、低功率損耗以及結構設計較簡單的好處。

電容式加速度計元件的設計廣泛的分成垂直式以及側向式。如圖 1-8(a)所示，在垂直式加速度計中，質量塊與電極之間通常以犧牲層結構來定義間隙作為平行電容板，以氣密閉合的架構感測其訊號，作為感測出平面方向之加速度訊號[7-16]。如圖 1-8(b)所示為側向式的感測設計，透過陣列式可動電極在質量塊的兩側，感測電極陣列從固定端穿插在可動電極陣列之間而形成成對的平行電容板，即所謂的梳狀電極，通常是針對平面的感測(X 以及 Y 方向)機制[17-20]。除了上述兩種感測架構外，另有一種感測出平面訊號的設計方法為蹺蹺板感測架構。當一出平面加速度訊號施加於系統時，使加速度感測元件產生扭轉的運動。感測方式有兩種，如圖 1-9 所示，一種為利用梳狀電極來感測因扭轉產生的電容變化[21-23]。此種感測方式並不是氣密閉合的感測機制，而是透過面積的改變所造成的電容變化。雖然透過面積改變所產生的訊號較小，但是此種架構有兩個主要特點：(1)因為是面積改變的感測架構，所以結構的行程可以較大，不因感測間距而影響行程；(2)因此具有較大的崩潰電壓(pull-in voltage)[23]。另一種方法為在扭轉的結構下佈上感測電極來感測訊號，如圖 1-10 所示[24-45]。此種感測機制即氣密閉合感測架構，在業界多屬於此種設計概念。在結構設計的考量中以質量不對稱形式為主，當出平面方向加速度作用於系統時，使結構因不對稱的幾何形狀產生扭轉的運動。開迴路電容式加速度計，其靈敏度與質量以及電極之重疊面積成正比，與彈簧剛性以及間隙距離的平方成反比。早期的電

容式加速度計是透過體型微加工以及晶圓接合的技術，以達到大質量塊以提高元件之靈敏度[20,46-47]。

- 面型微加工技術

面型微加工技術來製造加速度計元件之設計[9,18-19,48-52]，面型微加工技術的優點為可以整合電路於同一個製程當中，能夠做出單一感測晶片同時包含微機電元件以及感測電路，亦即單石化之架構。面型微加工主要是透過多層薄膜的堆疊，利用多晶矽作為感測元件的材料，加上以氧化層作為犧牲層材料，來研製出平面以及同平面的感測架構。單石化之架構與電路之間的訊號傳遞，所受到的寄生電容影響較小，因此所能夠感測較小的電容訊號輸出($<1\text{aF}$)。如圖 1-11 所示為聖地亞國家實驗室(Sandia National Laboratory)開發面型微加工之 Sandia's iMEMS (MEMS-First)製程，以一個出平面方向感測元件以及兩個側向感測元件來達到三軸加速度計之設計[53-54]，如圖 1-12 所示。此製程之概念為先行將微機電元件完成於單晶矽的溝槽內，以氧化層填滿溝槽並磨平，再進行感測電路的製程。如圖 1-13 所示，同一個研究團隊透過此製程進一步達成單一質量塊之三軸加速度計元件[54]。

- 體型微加工技術

體型微加工部分，1998 年[55]，A. Selvakumar 以及 K. Najafi 提出透過高濃度參雜(p++)的單晶矽材料與玻璃晶片(Glass substrate)接合，透過 EDP 蝕刻溶液將沒有高濃度參雜(p++)的單晶矽移除，製程如圖 1-14 所示。透過慣性力使質量塊產生扭轉的設計來感測出平面方向的加速度，如圖 1-15 所示。此感測方式利用電極面積的改變(area variation)來產生訊號的輸出，且尚未有差分電容電極(differential capacitive electrode)的設計，對於雜訊產生的等效共模訊號仍無法有效的抑制。在體型微加工中欲透過蝕刻開孔來控制阻尼係數在製程上並非易事，

且需要透過壓力的控制來調整阻尼係數。為了解決此問題並能夠提供大質量塊來提高量測解析度。如圖 1-16 所示，2000 年 N. Yazdi 以及 K. Najafi 提出以全對稱結構之單晶矽加速度計元件，結合面型以及體型微加工技術來達到大質量塊、可控制阻尼以及小感測間隙之設計[56]。質量塊以單晶矽晶片組成，電極部分是以沈積多晶矽薄膜組成，利用回填技術來提升感測電極之剛性，並透過開孔來設計系統之阻尼係數，感測的間隙為氧化犧牲層所決定，最後以濕蝕刻製程將元件的形狀定義出來並透過氫氟酸(HF)來懸浮電極，製程圖如圖 1-17 所示。因此，藉由此加速度計之質量塊設計可以提高量測解析度，且透過多晶矽電極之開孔來設計阻尼係數，實際元件如圖 1-18 所示。於 2005 年，J. Chae 以及 K. Najafi 整合先前提出的出平面加速度計設計[57]，以相容的製程結合同平面的加速度計來提出三軸加速度計三軸方向加速度感測系統的架構，如圖 1-19 所示。此研究三軸的感測都是以差分電容電極的設計來實現，且皆為氣密閉合(gap closing)的感測方式，實體圖如圖 1-20 所示。

- CMOSMEMS 微加工技術

除了面型微加工以及體型微加工外，以 CMOSMEMS 製程發展單石化架構的加速度計具有與 CMOS 製程相容性的優勢，能夠將加速度訊號直接經由繞線與 CMOS 感測電路整合，所以具有感測微小電容訊號(sub-aF)的特點。以 CMOS 標準製程加上後製程將加速度計結構懸浮，此製程設計方法稱為 CMOSMEMS 製程。其後製程分成兩種類型：(1)乾蝕刻製程[58-63]以及(2)濕蝕刻製程[64-68]。如圖 1-21 所示為 CMOSMEMS 乾蝕刻後製程技術，利用 RIE 將氧化層去除，再以等向性乾蝕刻(XeF_2)懸浮結構，以此製程形成側向以及出平面之加速度計元件。如圖 1-22 所示，在出平面方向的感測利用 CMOS 製程繞線的特性，在出平面方向設計平行電容板，透過面積的改變來感測出平面方向的訊號。在側向感測之加速度計利用梳狀電極的設計如圖 1-23 所示，為氣密閉合的機制來感測訊號。此外，由於 CMOSMEMS 的元件結構屬於金屬與氧化層的多層膜堆疊，在結構

懸浮後因為殘留應力的影響，結構易產生翹曲而造成感測電極電容值的損失。透過加上外框的設計，改善即使有殘留應力的狀態下仍能保持感測之電容值[62]，以保持元件特性。除了加上外框設計外，為了改善應力翹曲的問題，透過結合多晶矽之加熱結構，改善結構翹曲情形，如圖 1-24 所示。2004 年 H. Qu 等人[63]以 CMOSMEMS 製程設計單一質量塊之三軸加速度計元件，架構如圖 1-25 所示，在出平面的感測機制為不對稱的質量塊，當一出平面方向之加速度作用於系統時，因為此不對稱的質量塊，使得元件產生扭轉運動行為，進而感測其電容變化輸出。由於 CMOSMEMS 的繞線優勢，此三軸加速度元件在三軸方向的量測皆是全差分感測電極(fully differential capacitive electrodes)之設計。

濕蝕刻製程部分如圖 1-26 所示，透過硫酸蝕刻鋁金屬的特性，來取代乾蝕刻的機制，可以提供更小的線寬以提高電容感測值，最後仍以等向性乾蝕刻(XeF₂)懸浮結構，元件設計概念如圖 1-27 所示。此設計可以設計出平面氣密閉合之加速度計元件，不同於乾蝕刻製程在出平面方向以面積改變的方式來感測訊號，因此提高元件的靈敏度[64-67]。透過此概念，可以更進一步提出以 CMOSMEMS 設計三軸方向皆以氣密閉合之感測電極，如圖 1-28 所示，以達到三軸加速度感測之架構[68]。

● SOI 微加工技術

近年來利用 SOI 晶片製作微機電元件與日遽增，其主要的優勢為：(1)SOI 晶片有優越的單晶矽材料特性，具有較小的殘留應力；(2)結構的厚度可以依照設計者的需求來研製，而不像多晶矽材料在厚度上侷限於製程；(3)製程相對於面型微加工而言較為簡單。所以利用 SOI 晶片製作加速度計元件，可以降低製程複雜度，提高製程良率，因此透過 SOI 晶片來製作慣性感測器的研究也越來越多[69-75]。

然而在加速度計元件的實現中，由於結構的厚度由 SOI 晶片決定，在出平面方向的設計受到製程上許多的限制，電極及感測機制仍然面臨許多的挑戰。Y.

Matsumoto 等人於 1999 年，以平行電極板的概念透過單端(single-ended)電極輸出的設計來感測出平面加速度的訊號，實現三軸加速度感測系統[69]。如圖 1-29 所示，其中出平面的感測機制並不是以差分電容電極的設計來感測訊號，而是利用 SOI 晶片的處理層(handle layer)以及元件層(device layer)之間的間隙作為平行電容感測電極。然而此種設計無法抑制外來雜訊所產生的等效共模訊號(common mode signals)。2005 年，日本京都大學 T. Tsuchiya 等人以 SOI 晶片在垂直方向產生兩種高度，透過梳狀電極來實現出平面方向差分電極設計[71]，如圖 1-30 所示。此設計概念是將感測電極分成兩種型態，其中一個型態為質量塊的電極厚度方向較小；另一個型態為感測電極的厚度方向較小。當質量塊因為外加慣性力而產生向上的位移時，厚度較小的質量塊電極電容並不會有訊號的產生，而是在厚度不變的質量塊電極與厚度較小的感測電極之間產生電容的變化，進而產生電壓的輸出訊號；反之，當質量塊因為外加慣性力而產生向下的位移時，厚度不變的質量塊電極電容並不會有訊號的產生，而是在厚度較小的質量塊電極與厚度不變的感測電極之間產生電容的變化，進而產生電壓的輸出訊號，感測機制。透過此種電極的設計，當質量塊上下產生位移就可以輸出線性的訊號，作為出平面感測方向的加速度計。2007 年 H. Hamaguchi 等人[75]以此概念進一步設計單一質量塊三軸加速度計，其架構如圖 1-31 所示，將感測分成四個區域，利用具有加減器之運算電路，將此四個感測電極經過加減器的運算獲得三軸方向個別的電容變化。此設計在出平面方向雖是差分電極之設計，由於製程的侷限只能以面積改變的方式來感測訊號，而非氣密閉合的機制來感測。

除此之外，利用擺垂的設計感測平面方向加速度訊號[76-77]，其設計概念如圖 1-32 所示。質量塊與支撐彈簧在厚度方向不一致，使得當有一平面加速度訊號時，產生一力矩造成元件的扭轉，進而感測電容訊號的變化，透過兩端電極形成差分感測的機制。當有一出平面加速度訊號時，在出平面方向會產生平移而產生電容訊號的變化，在感測電極處是利用單端平行電極板的設計來感測出平面方向的訊號。結構的爆炸圖如圖 1-33 所示，最下層為玻璃基板，中間層為

元件的支撐彈簧，上層為元件質量塊。即加速度元件是由中間層的支撐彈簧以及上層的元件質量塊所組成。2002 年 Y. Watanabe 等人[78]以前述之設計概念再加以改進。如圖 1-34 所示，同樣的透過兩層結構的接合，一個作為元件的支撐彈簧，另一個作為元件的質量塊。不同的是，電極分佈於元件的上端以及下端。利用此種設計，提出五軸慣性感測之設計。2006 年 Y. Watanabe 等人[79]，利用 SOI 晶片製作單一質量塊五軸慣性感測元件。架構如圖 1-35 所示，元件部分不同於接合製程，一端為支撐結構另一端為質量塊，而是利用 SOI 晶片的特性，元件層為支撐結構，處理層為質量塊的設計。同樣上下兩端接合有電極分佈之玻璃基板，而形成五軸慣性感測之元件。然而，此種設計在出平面方向的感測機制，仍屬於單端電容感測電極之設計。

1-3 研究目標

以 SOI 晶片所開發的加速度計，在出平面方向仍面臨許多的挑戰。目前雖然已經有單一質量塊之三軸加速度計元件，但是在出平面方向的感測主要是以單端之電容電極或是以面積改變型態的差分電容電極為主。仍舊沒有在出平面方向以氣密閉合方式感測之差分電容電極。本研究欲以此為目標，開發以 SOI 晶片研製三軸加速度計，且三軸方向感測方式皆為氣密閉合的差分感測電極之設計。

如圖 1-36 所示，本研究主要中心架構為以 SOI 晶片為基礎，最終開發三軸加速度計之設計概念。透過模擬設計、製造以及初步量測來驗證可行性。

第二章主要介紹加速度計之操作原理以及元件基本的特性。透過運動方程式來探討加速度計操作上的物理意義，並推導出元件的特性方程式。此外，介紹本研究所使用的 MS3110 感測電路，介紹此電路的基本操作方式以及電壓電容之轉換方程式(transfer equation)。最後以 SOI 晶片所製作之一般型態平面加速度計為例，量測其基本特性。

第三章主要是介紹本研究以 SOI 晶片所開發新型態氣密閉合差分感測電極

之出平面加速度計，並透過本實驗室所開發之 SOI-DAWN 製程加以實現。其出平面加速度計之特色為(1)質量塊包含 SOI 晶片之元件層(device layer)以及處理層(handle layer)，因此提升質量而提高靈敏度；(2)量測之靈敏度因為氣密閉合的差分電極感測而增加；(3)透過金屬連接(metal-vias)SOI 晶片元件層以及處理層的電性；(4)由於感測電極的間距是 SOI 晶片中的氧化層決定，所以感測的間距可以被精準定義，且不受黃光製程的限制。最後提出一製程平台製造以三個單軸加速度計感測三軸方向之量測系統。

第四章主要延續前一章的研究成果，進一步開發以 SOI 晶片單一質量塊之三軸加速度計。其三軸加速度計的特色為(1)質量塊包含 SOI 晶片之元件層(device layer)以及處理層(handle layer)，因此提升質量而提高靈敏度；(2)量測之靈敏度因為氣密閉合的差分電極感測而增加；(3)透過多晶矽回填技術連接 SOI 晶片元件層以及處理層的電性；(4)由於感測電極的間距是 SOI 晶片中的氧化層決定，所以感測的間距可以被精準定義，且不受黃光製程的限制。(5)透過此三軸感測機制的架構，此加速度計元件在三軸方向皆是以氣密閉合的差分電極作為感測，且為單一質量塊感測三軸方向加速度元件的設計。最後提出一製程平台具有批量製造單一質量塊三軸加速度計之能力。

第五章針對前述之研究成果做一討論及未來工作。

附錄 A 為透過商用之加速度計，根據其操作規範探討衝擊以及振動可靠度測試。以 JEDEC 量測標準為依據，觀察元件經過衝擊實驗以及振動實驗後，是否對元件的特性造成損壞，觀察商用加速度計之可靠度基礎分析。

附錄 B 為簡介目前業界主要的微機電大廠所研製的加速度計元件製程、以及感測機制做一初步的介紹。

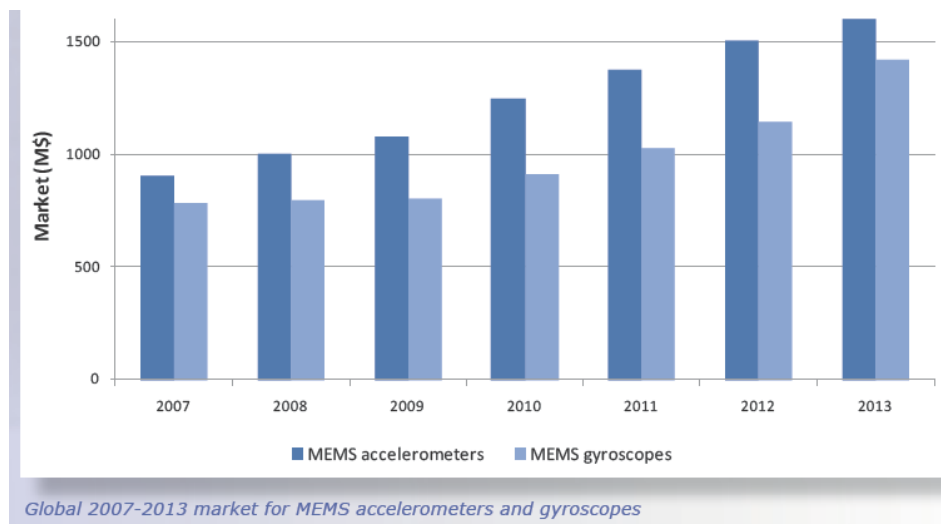


圖 1-1 Yole report 2008 年至 2013 年慣性感測器發展曲線 [1]



圖 1-2 慣性感測器於車用電子之應用 [2]

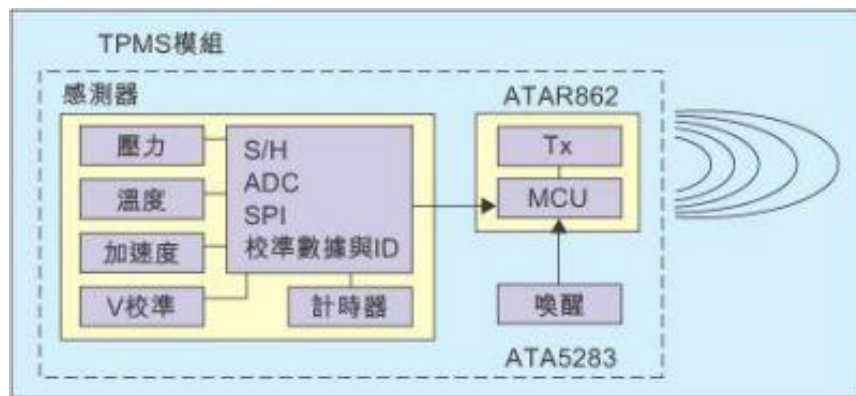


圖 1-3 胎壓監控系統之架構圖 [3]



圖 1-4 胎壓監控模組裝置於輪胎的示意圖 [3]



圖 1-5 iphone GPS 系統整合加速度計與電子羅盤 [4]



圖 1-6 任天堂 Wii 遊戲機的手把首先提出整合加速度計元件以及陀螺儀 [5]



圖 1-7 PlayStation Move 動態控制器內建三軸陀螺儀、三軸加速度計與地磁力偵測器 [6]

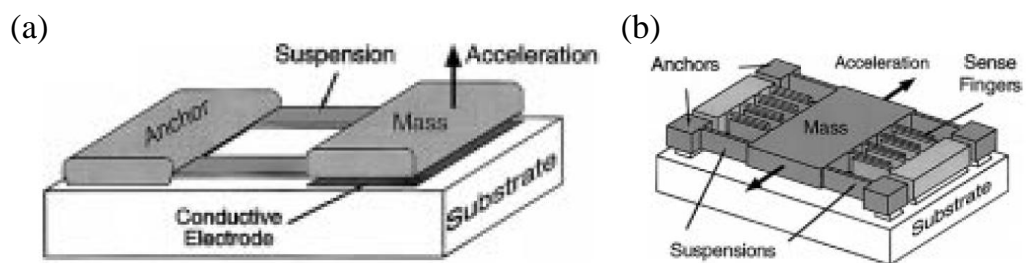


圖 1-8 (a) 垂直式加速度計之感測架構；(b)側向式加速度計之感測架構 [16]

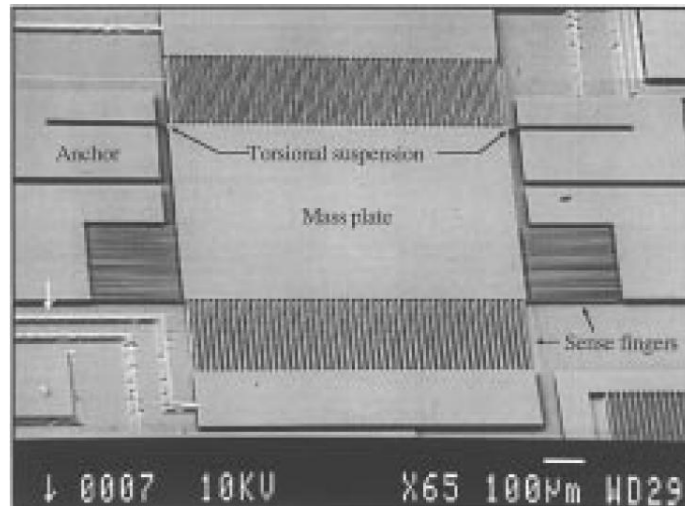


圖 1-9 利用梳狀電極感測出平面方向以面積改變產生的電容變化 [23]

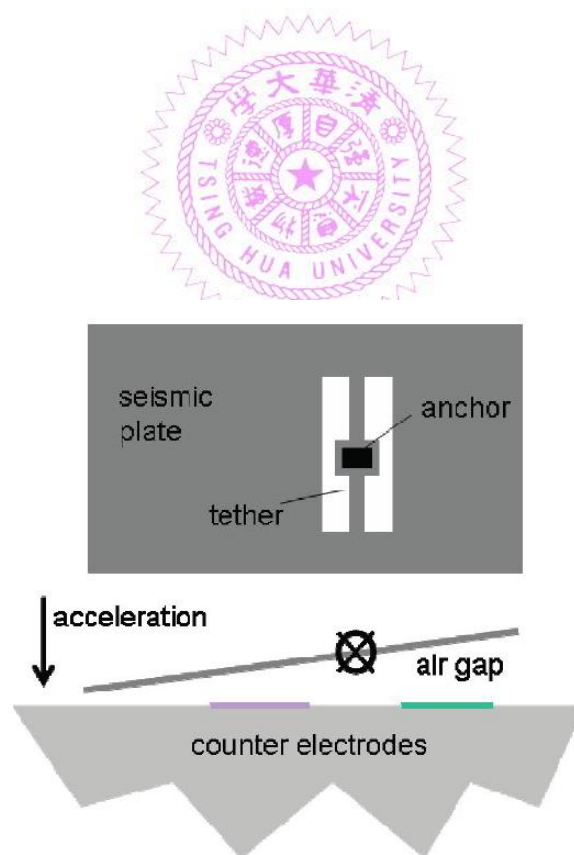


圖 1-10 扭轉的結構下佈上感測電極來感測出平面訊號 [25]

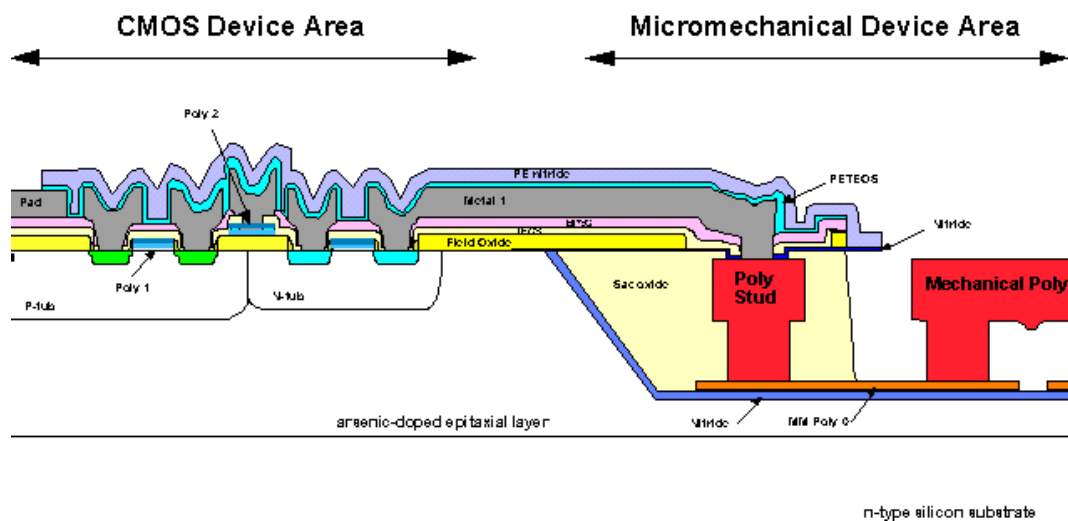


圖 1-11 Sandia's iMEMS (MEMS-First)製程 [54]

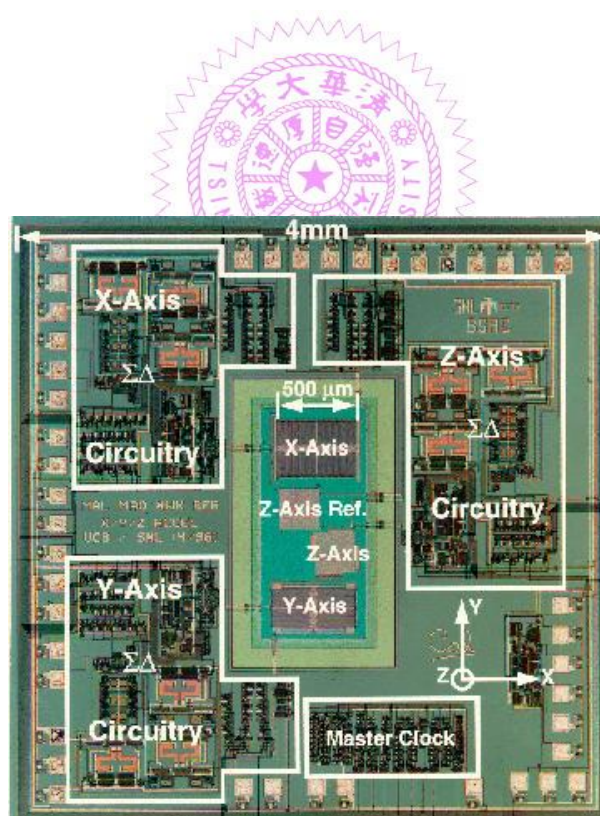


圖 1-12 以一個出平面方向感測元件以及兩個側向感測元件來達到三軸加速度方向之感測[54]

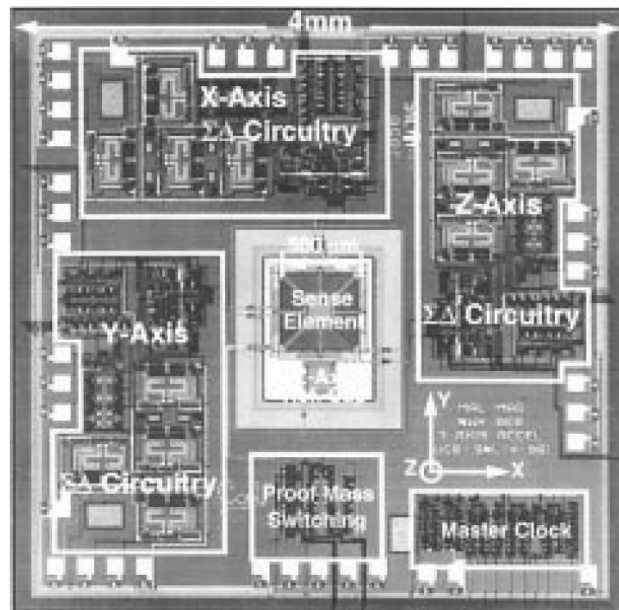


圖 1-13 Sandia's iMEMS 製程來達成單一質量塊之三軸加速度計設計[53]

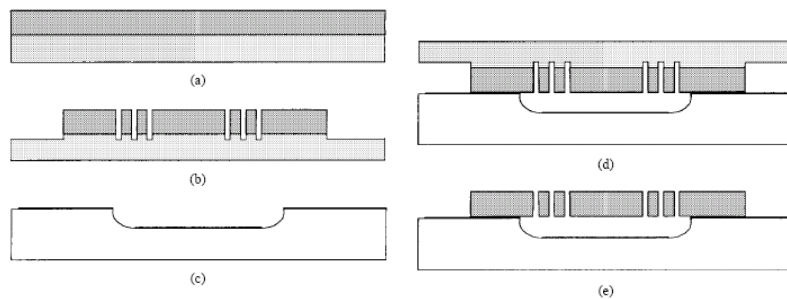


圖 1-14 透過 EDP 蝕刻液將為高濃度參雜之單晶矽移除之製程步驟[55]

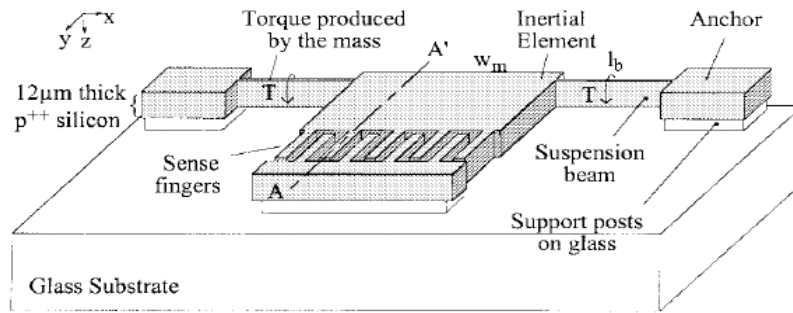


圖 1-15 以產生扭轉方式來感測出平面方向的加速度元件設計[35]

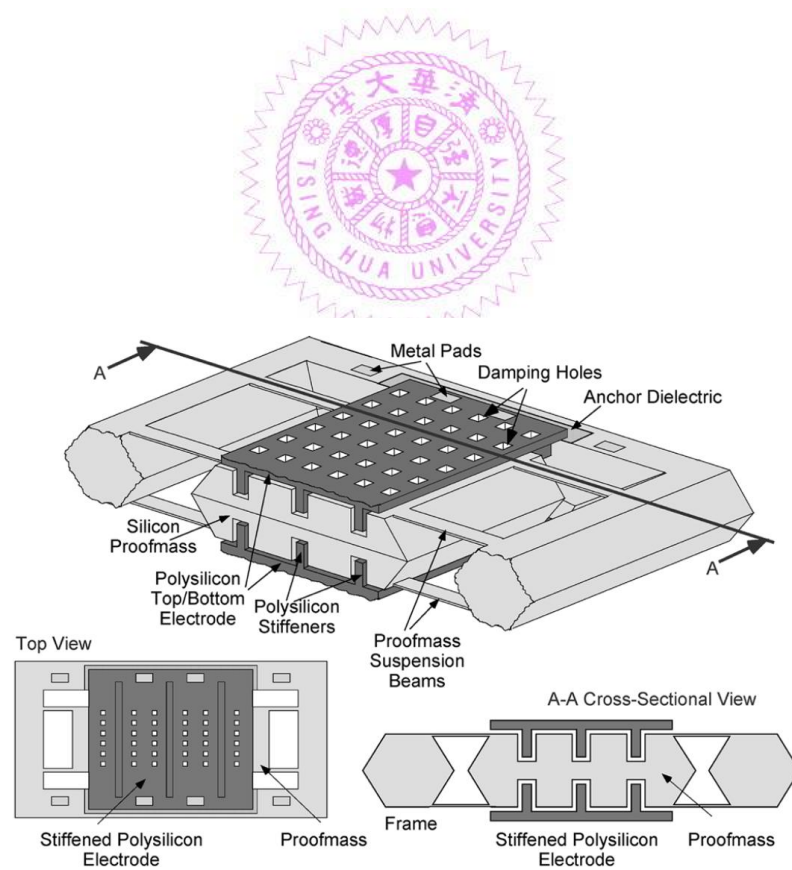


圖 1-16 以全對稱結構之單晶矽加速度計元件 [56]

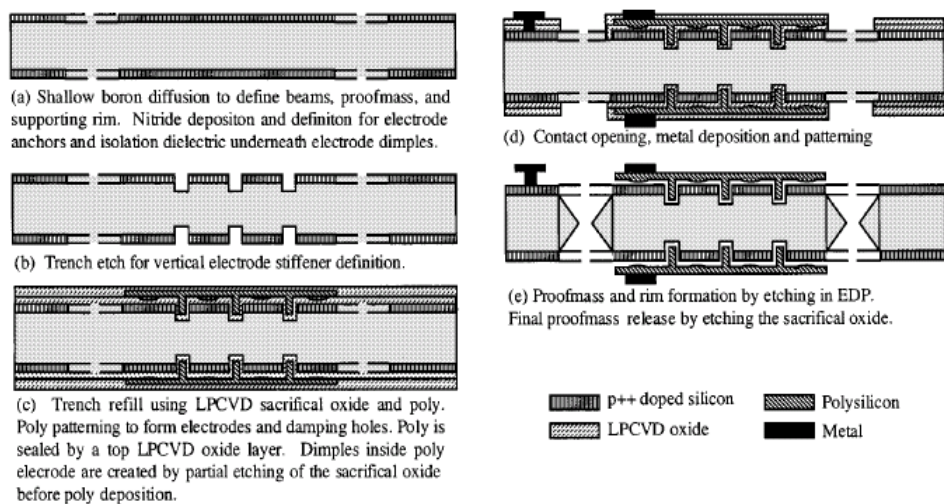


圖 1-17 多晶矽回填技術所研製的出平面感測加速度計製程[56]

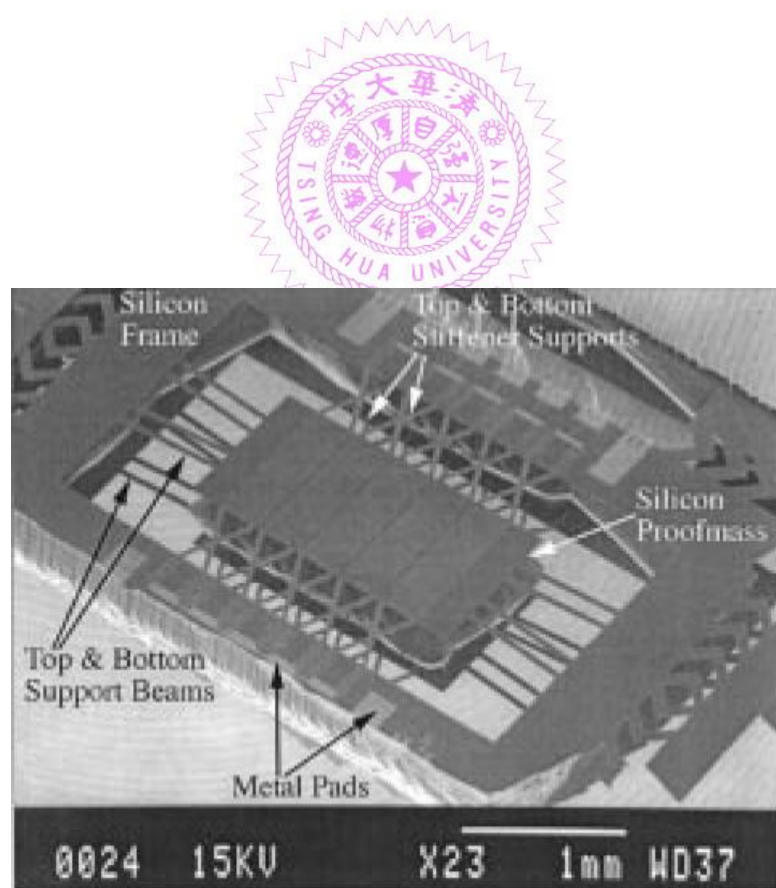


圖 1-18 以全對稱結構之單晶矽加速度計元件實體圖 [56]

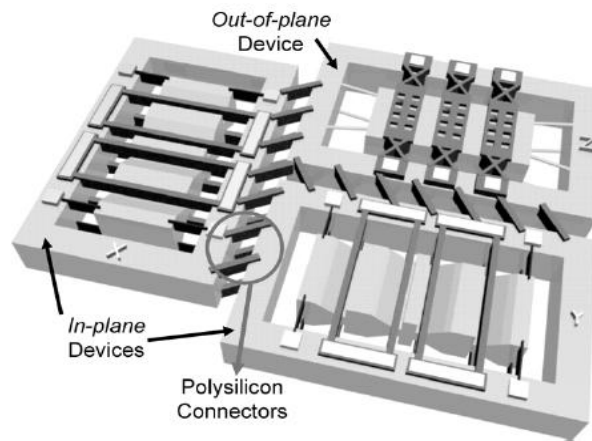


圖 1-19 以多晶矽回填技術所開發的三顆三軸方向加速度感測系統架構[57]

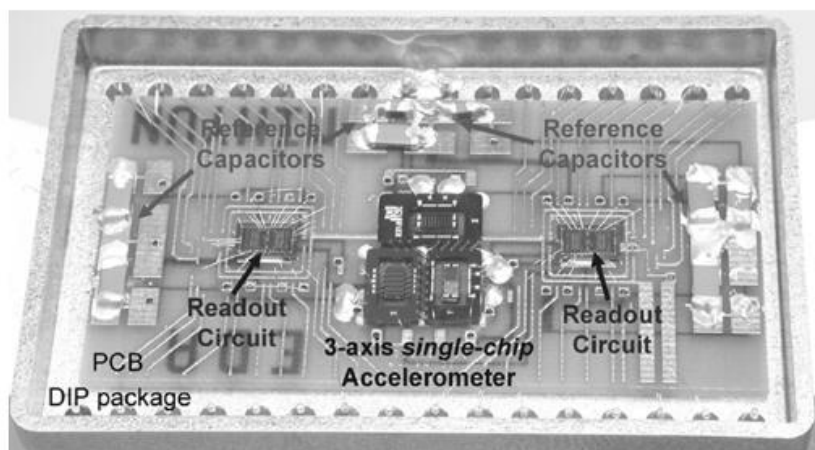


圖 1-20 三顆三軸方向加速度感測系統架構實體圖[57]

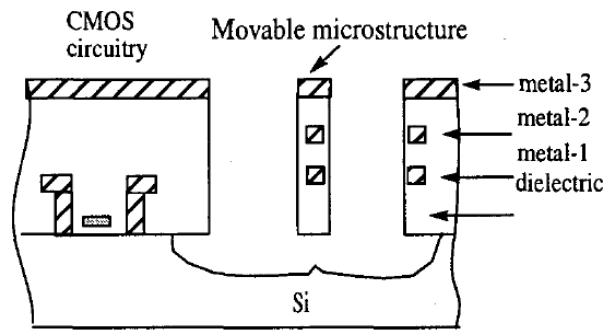


Figure 1: Cross-section of CMOS micromachining process

圖 1-21 CMOSMEMS 乾蝕刻後製程技術 [58]

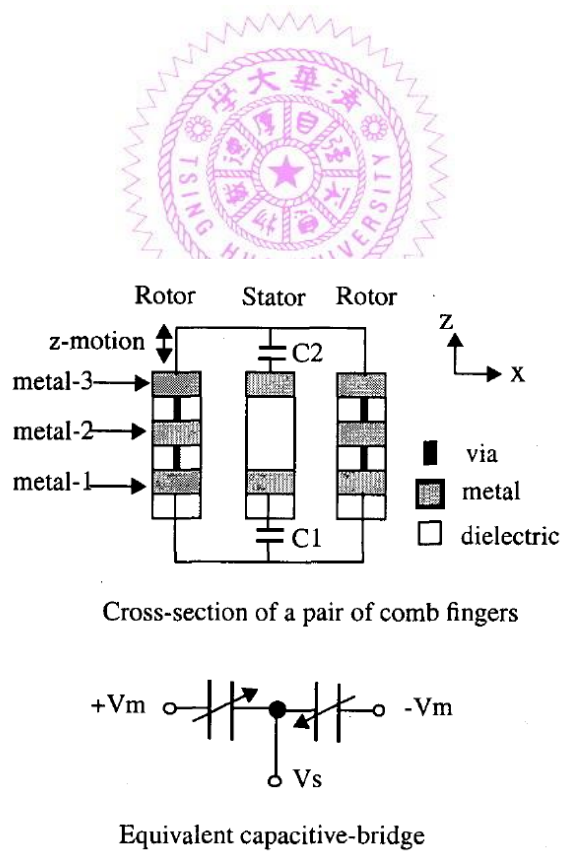


圖 1-22 以 CMOSMEMS 製程所開發的出平面加速度感測架構 [58]

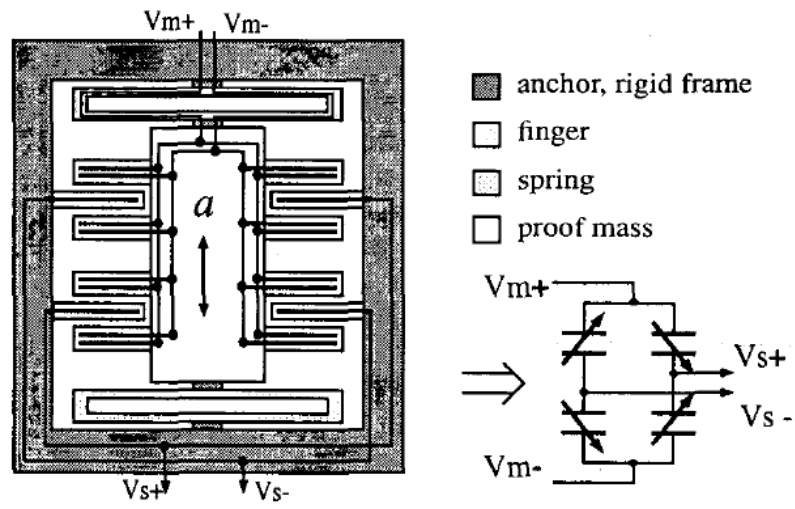


圖 1-23 以梳狀電極的設計感測側向之加速度計 [59]

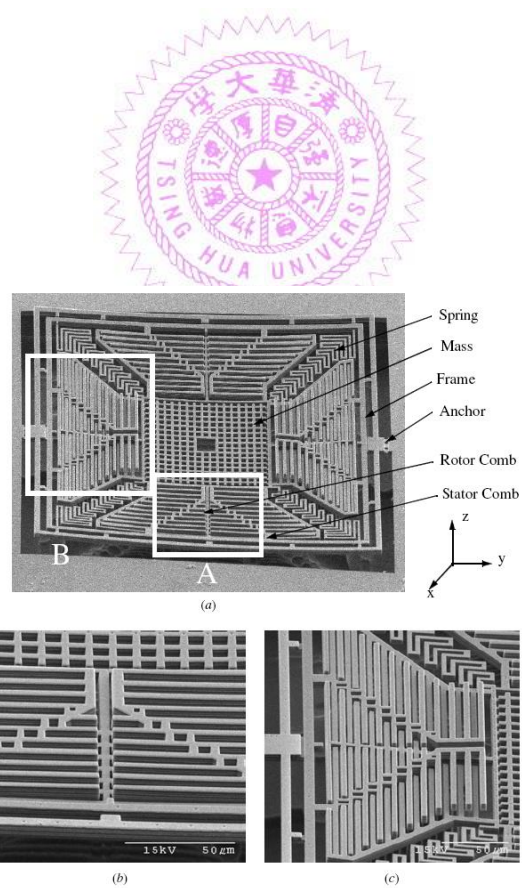


圖 1-24 多晶矽之加熱結構改善應力翹曲 [62]

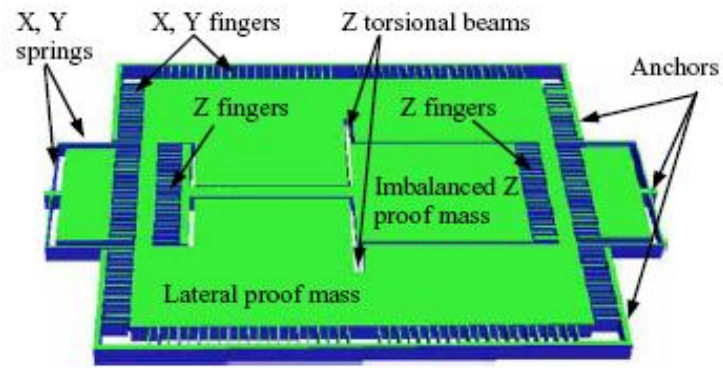


圖 1-25 H. Qu 等人以 CMOSMEMS 設計之三軸加速度計元件 [63]

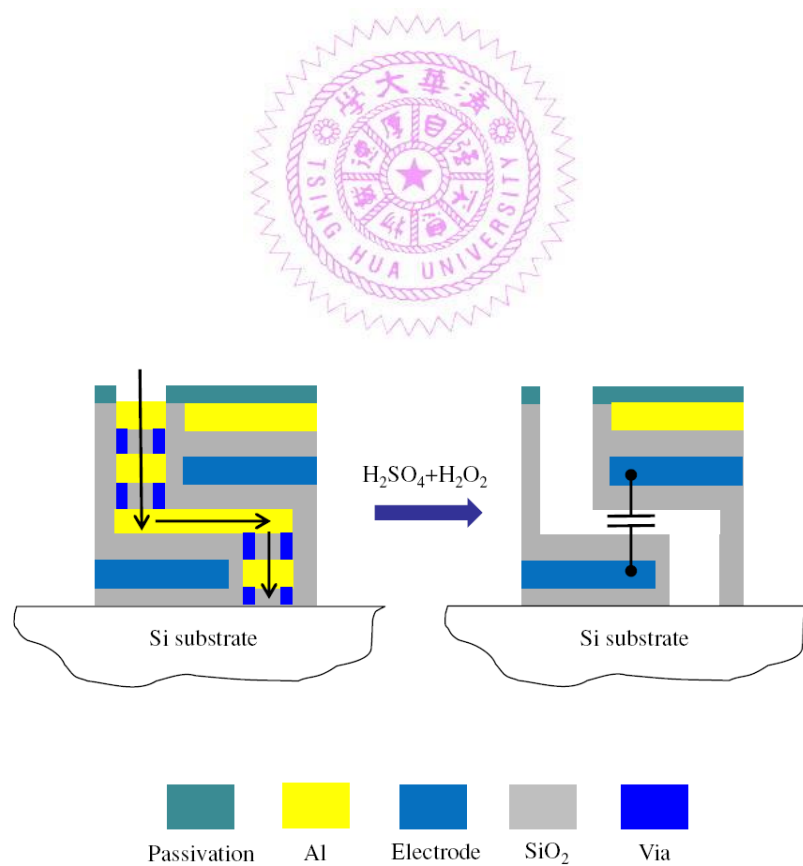


圖 1-26 CMOSMEMS 透過硫酸蝕刻鋁金屬的特性取代乾蝕刻的機制 [67]

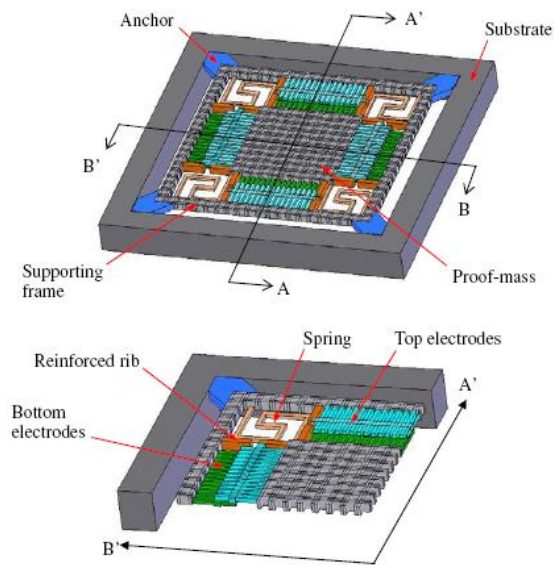


圖 1-27 以濕蝕刻製程研製出平面氣密閉合感測電極之加速度計 [67]

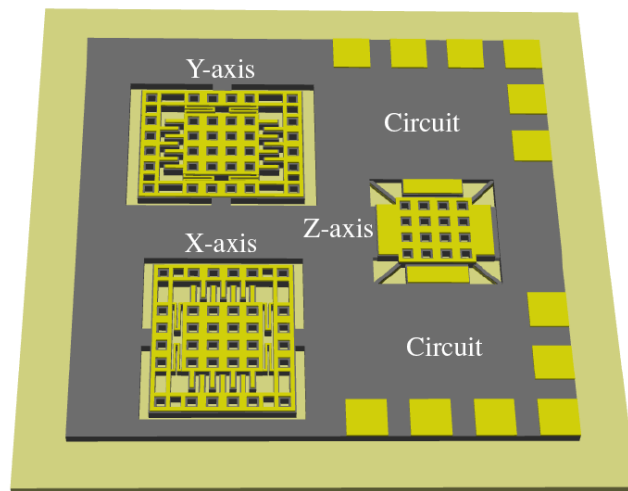


圖 1-28 以濕蝕刻製程達成三軸加速度感測之架構 [64]

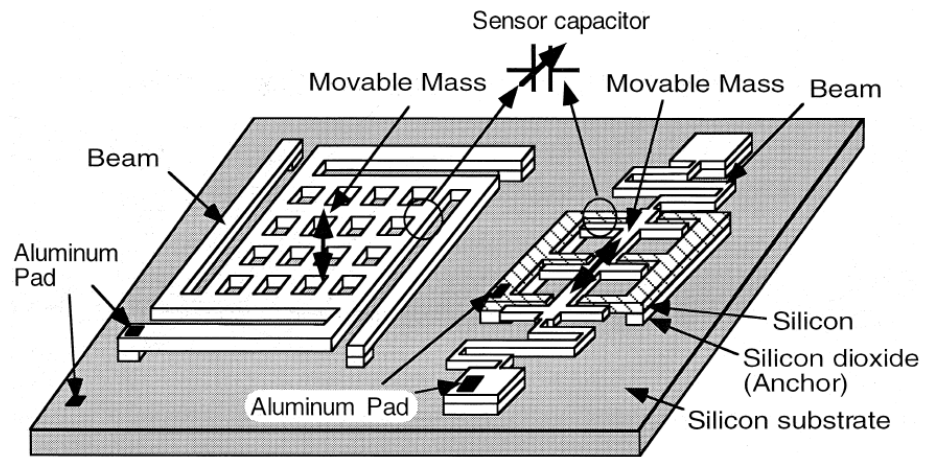


圖 1-29 以 SOI 製程達成三軸加速度感測之架構 [69]

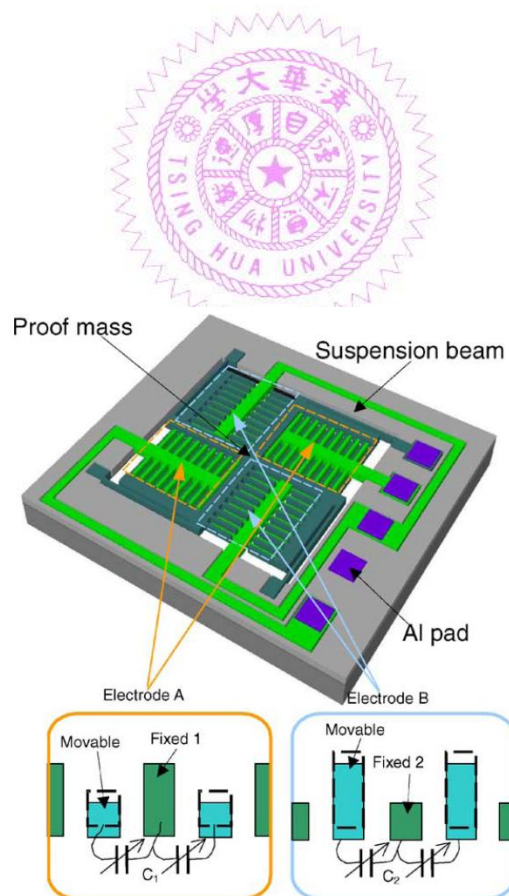


圖 1-30 出平面方向差分電極之設計 [71]

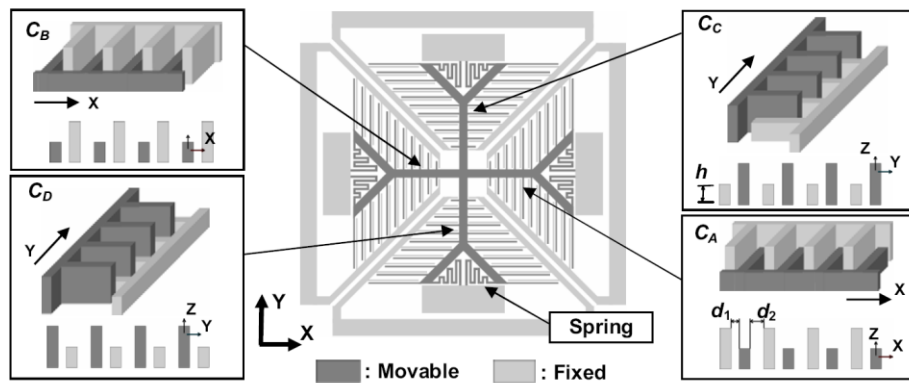


圖 1-31 以 SOI 晶片可以研製三軸方向皆以差分電極設計之三軸加速度計 [75]

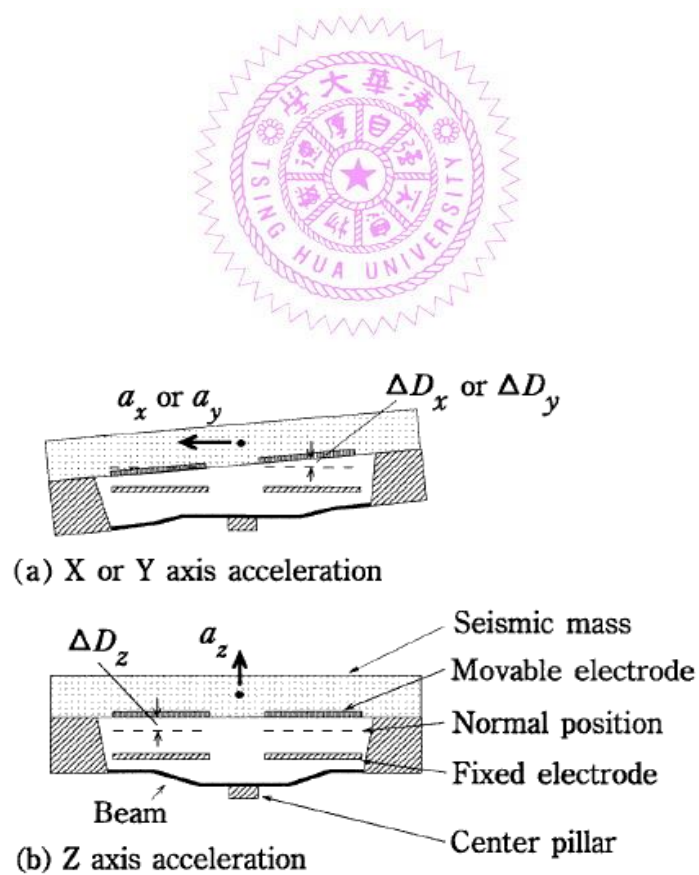


圖 1-32 T. Mineta 利用擺垂的設計感測平面方向加速度訊號 [76]

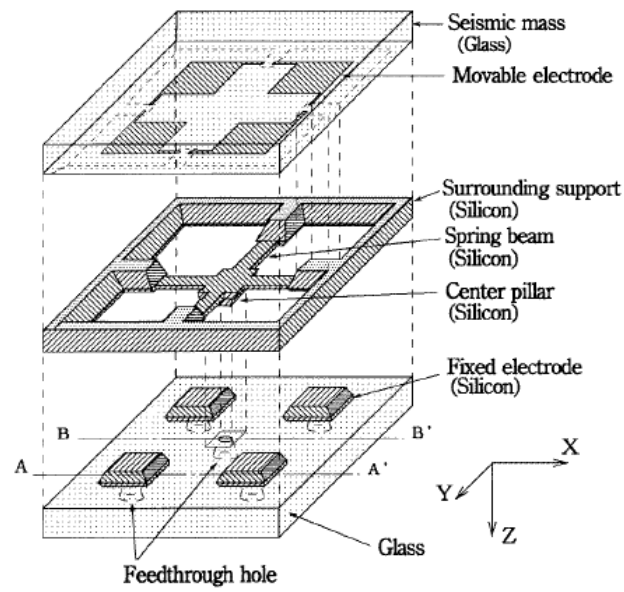


圖 1-33 T. Mineta 擺垂設計爆炸圖 [76]

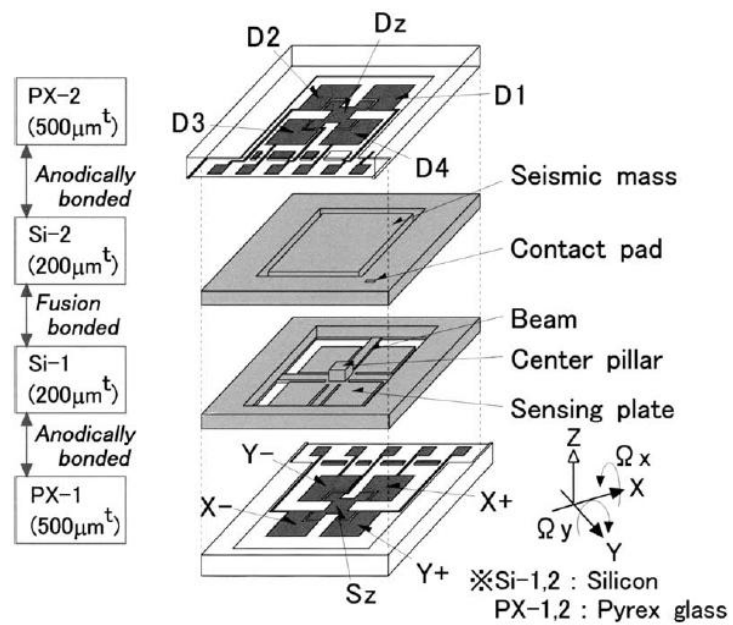


圖 1-34 Y. Watanabe 等人之設計概念 [78]

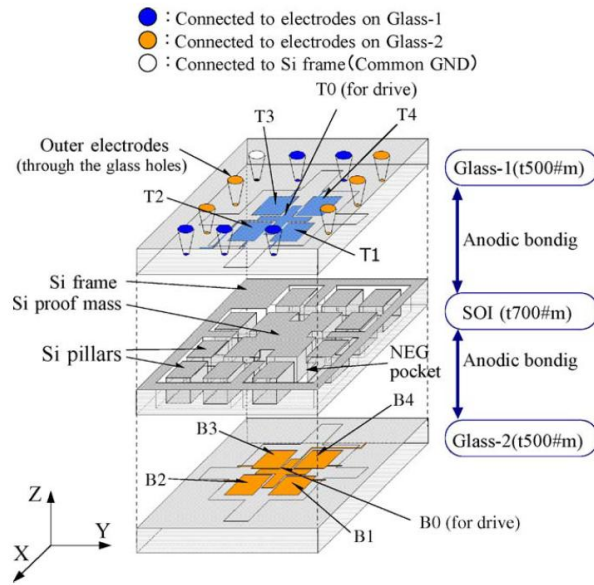


圖 1-35 SOI 晶片製作單一質量塊五軸慣性感測元件架構圖 [79]

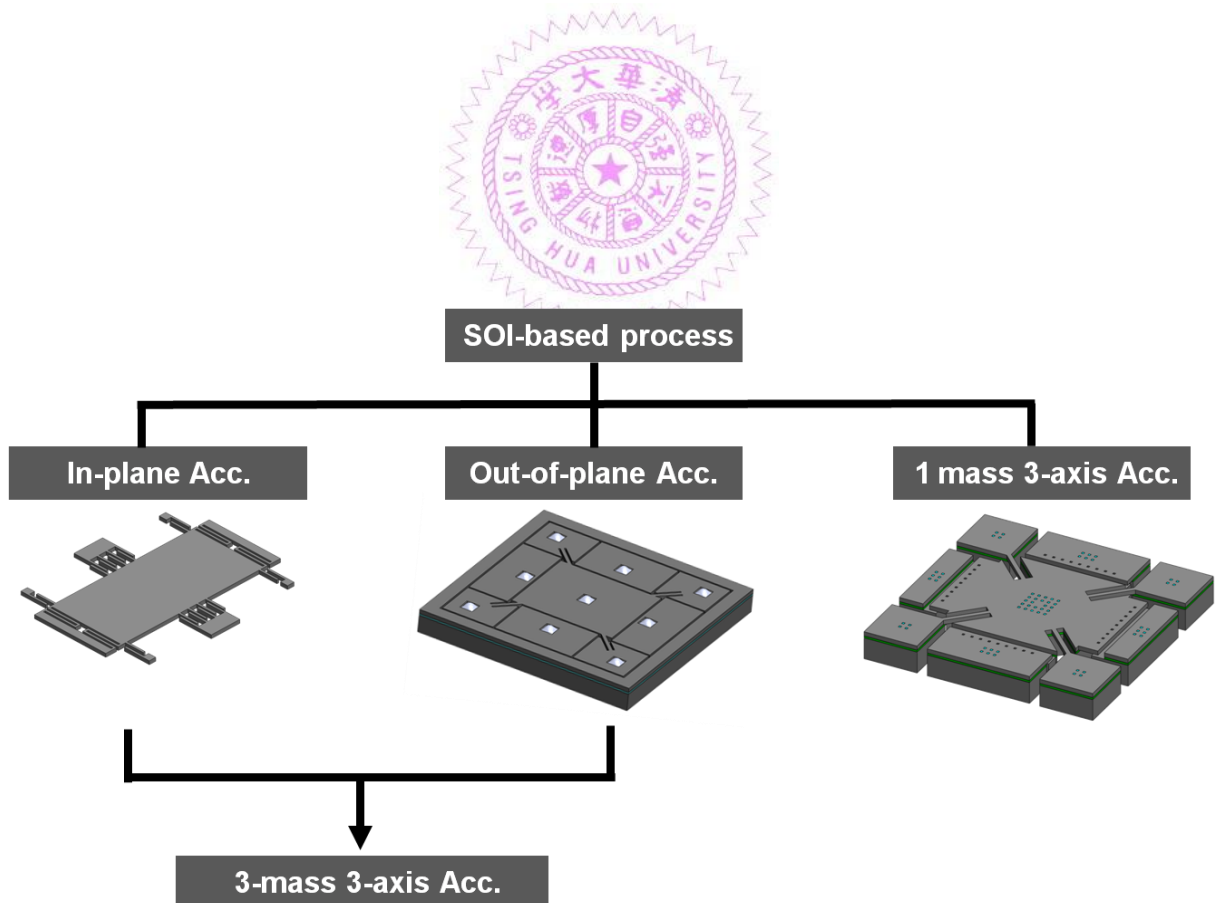


圖 1-36 論文主要架構

第二章 加速度計基本原理及元件特性

在設計加速度計元件之前，首先須對加速度計的操作原理加以分析。首先對於加速度計元件的運動行為代表的物理特性以及將機械運動轉換成電壓輸出之機電轉換關係，皆需要加以探討。最後透過一般型態之平面式加速度計為例，從分析設計到製造量測，做一初步的介紹。

2-1 基本原理

本章節一開始針對加速度計元件運動行為加以推導，接著探討電容感測之特性，並描述本研究所使用感測電容電路之操作原理，最後推導出整個加速度計元件之增益流程圖。

2-1-1 加速度計元件運動行為



加速度計元件的組成為透過彈簧連接懸浮的質量塊，此彈簧與固定端連接所構成。其中質量塊的質量為 m_{eq} ，彈簧的等效剛性為 k_{eq} ，再加上外界所提供給動態系統的等效阻尼係數 c_{eq} 。如圖 2-1 所示，當外部慣性力作用於系統上，整個運動行為可以透過二階微分運動方程式來表示：

$$m_{eq}\ddot{x} + c_{eq}\dot{x} + k_{eq}x = F(t) \quad (2-1)$$

其中

$$F(t) = F \cos \omega t \quad (2-2)$$

上述之方程式為單軸方向的運動方程式， x 為運動方向。換句話說，當外部慣性力作用在系統時，元件的質量塊與固定端透過彈簧而產生相對的位移，透過感測此相對位移，進而得到外部作用於系統上的慣性力。將(2-1)式透過拉普拉斯轉換，將時間函數轉換成頻率函數，可以得到：

$$F = j\omega j\omega X m_{eq} + \frac{k_{eq}}{j\omega} (j\omega X) + c_{eq} (j\omega X) \quad (2-3)$$

經過整理可以得到：

$$\frac{X}{F} (j\omega) = \frac{1}{k_{eq}} \left(-\omega^2 \frac{m_{eq}}{k_{eq}} + 1 + j \frac{c_{eq}\omega}{k_{eq}} \right)^{-1} \quad (2-4)$$

在此假設

$$\frac{k_{eq}}{m_{eq}} = \omega_0^2 \quad (2-5)$$

$$Q = \frac{k_{eq}}{c_{eq}\omega_0} \quad (2-6)$$

$$\frac{k_{eq}}{c_{eq}} = Q\omega_0 \quad (2-7)$$

ω_0^2 為此動態系統的結構共振頻， Q 為動態系統的品質因子。最後可以得到外部慣性力與系統產生的位移之頻率關係式：

$$\frac{X}{F}(j\omega) = \frac{k_{eq}^{-1}}{1 - \left(\frac{\omega}{\omega_0}\right)^2 + j\frac{\omega}{Q\omega_0}} \quad (2-8)$$

圖 2-2 為透過(2-8)式所繪出的動態系統之頻率響應圖。當系統在低阻尼係數 (under damping) 條件下，操作頻率與結構共振頻的頻率相同時，動態系統所產生的位移量為靜態形變量的 Q 倍。換句話說，當操作於系統的共振頻位置，動態位移量為靜態變形量乘上一個品質因子倍數，因此放大系統的形變量。在微機電慣性感測器中，此放大因子扮演一種要角色。如微機電所製作的陀螺儀元件，是將動態系統操作在共振頻頻率的位置，而得到最大的動態響應來求得外加的慣性角速度力；然而在加速度計元件中，則是要避免元件操作於結構共振頻頻率的位置，因為此位移因為品質因子 Q 被放大，會造成外力慣性力與動態系統產生的形變之關係變成非線性，使得無法準確的定義加速度計元件的靈敏度，靈敏度在後面會再加以介紹。總而言之，在加速度計元件操作上，應避免元件操作於動態系統之結構共振頻位置，進而得到線性的外力與位移關係圖。

當加速度計元件於靜態操作時，從式(2-8)可以將頻率項消除而得到：

$$F = k_{eq}x \quad (2-9)$$

即為虎克定律，加速度計的位移量與外加慣性力呈線性關係。所以在遠離結構共振頻的範圍，加速度計的外加慣性力與所產生的位移量，因為沒有品質因子 Q 的影響而呈線性的關係。此外，外加的慣性力與加速度計的質量(m_{eq})與所產生的加速度(a)有關：

$$F = m_{eq}G \quad (2-10)$$

將(2-9)與(2-10)合併整理後可以得到外加慣性力與所產生位移之關係式：

$$x = \frac{G}{\omega_0^2} \quad (2-11)$$

由(2-11)式可以得到，加速度計元件的位移與元件之結構共振頻有關，而非單單與結構的彈簧常數有關。所以在加速度計元件的設計中，結構的共振頻是一個表示元件特性的重要參數。

2-1-2 加速度計元件電容感測表示

加速度計元件電容感測表示如圖 2-3 所示。加速度計元件透過彈簧接於固定端，而外界所提供給動態系統的等效阻尼係數。示意圖之兩端為差分式電容感測電極(differential capacitive electrodes)，初始的感測間隙為 g ，感測面積為 A 。所以感測電極的量兩端初始電容值(C_0)為：

$$C_0 = \varepsilon \frac{A}{g} \quad (2-12)$$

其中 ε 為介電常數。差分式電容感測器為當元件在運動方向產生位移時，兩端所感測到的電容變化相同，但是一端為正向變化，另一端則為負向變化。當經過差分放大器電路時，兩端所感測到的訊號會做相減的動作，此時兩端所感測到的訊號會相加起來，變成兩倍電容變化的輸出。換句話說，差分電容感測器的其中一個好處為增強訊號的輸出，為單端電容變化的兩倍。此外，當元件受到外在雜訊的干擾，比如電子雜訊，此雜訊並非元件產生位移所造成的訊號，在兩端感測電極會接收到相同的訊號輸出，即所謂的等效共模訊號(common mode signal)。當等效共模訊號經過差分放大器電路時，兩端所感測到的訊號亦會有相

減的動作，而共模訊號經過差分放大器電路會被消除。換句話說，差分電容感測器的另一個好處為消除因雜訊產生的等效共模訊號(common mode rejection)。因此，加速度計元件利用差分電容感測電極的兩個好處為：(1) 增強訊號的輸出；(2) 消除等效共模訊號。

當外加慣性力造成加速度計元件產生一向下的位移時，左邊的感測電極與加速度計元件之間的間隙減小；右邊的感測電極與加速度計元件之間的間隙則增加。左邊的感測電極因為間隙的減小電容值改變為：

$$C_+ = \frac{\varepsilon A}{g - \Delta g} \quad (2-13)$$

右邊的感測電極因為間隙的增加電容值改變為：

$$C_- = \frac{\varepsilon A}{g + \Delta g} \quad (2-14)$$



其中 Δg 代表加速度計元件受到外加慣性力所產生的位移。因此，左邊感測電極相較沒有位移時電容變化量為：

$$\Delta C_+ = \frac{\varepsilon A}{g - \Delta g} - \frac{\varepsilon A}{g} = C_0 \frac{\Delta g}{g - \Delta g} \quad (2-15)$$

假設加速度計元件所產生的位移量遠小於感測電極的間隙，即小位移的基本假設(通常商用加速度計元件之感測電極間隙約為 1.5 至 2 μm ，學術界所作之感測電極間隙通常大於 4 μm)，於是在分母的加速度計元件所產生的位移量可以被忽略。左邊感測電極之電容變化最終可以整理成：

$$\Delta C_+ = C_0 \frac{\Delta g}{g} \quad (2-16)$$

同樣的，右邊感測電極相較沒有位移時電容變化量為：

$$\Delta C_- = \frac{\varepsilon A}{g} - \frac{\varepsilon A}{g + \Delta g} = C_0 \frac{\Delta g}{g + \Delta g} \quad (2-17)$$

假設加速度計元件所產生的位移量遠小於感測電極的間隙，即小位移的基本假設，於是在分母的加速度計元件所產生的位移量可以被忽略。右邊感測電極之電容變化最終可以整理成：

$$\Delta C_- = C_0 \frac{\Delta g}{g} \quad (2-18)$$



最後，當外加慣性力造成加速度計元件產生一向下的位移時，經過差分電容放大器後，最終所產生的電容變化為：

$$\Delta C_{total} = 2|\Delta C| \quad (2-19)$$

2-1-3 電容感測放大器

本研究所使用的電容感測放大器，主要是商用 MS3110 電容式感測電路 (MS3110 Universal Capacitive Readout IC, by Irvine Sensors Corporation, USA) 作為微機電各式感測器元件所需要的高解析度、低雜訊讀取電路(readout IC)[80]。此電路的供給電壓(supply voltage)為 5 伏特。微機電感測器如：壓力感測器、觸

覺感測器、加速度計、角速度計以及位移感測器等，都需要將環境產生的類比訊號，透過此讀取電路轉換成電壓訊號，以便系統辨識環境所給予的資訊。此電路一般可以感測到的電容變化最小值為 4.0 aF/rtHz。

電路架構如圖 2-4 所示，可以分成單端感測(single)以及差分感測(differential)型態，此電路並有內建的兩組電容可以作為初始校正電容匹配的功能(initial differential adjustments)。其基本特性如下：

- (1) 電容感測解析度：4aF/rtHz
- (2) 感測型態：(1) 單端感測以及(2) 差分感測
- (3) 增益(Gain)以及直流偏壓調整(DC offset trim)
- (4) 從 500Hz 到 8kHz 的可調式頻寬
- (5) 供給電壓為 5 伏特
- (6) 最小輸入電容為 250fF
- (7) 可透過 EEPROM 存取電路之設定值
- (8) 為一般的 16-pin SOIC 接腳設計

以差分電容為例，透過電路架構中 CS1IN 以及 CS2IN 為感測器端所提供的電容感測訊號，初始先透過 CS1 以及 CS2 來平衡外加感測器的 CS1IN 以及 CS2IN，用以補償感測器因製程上造成的電容不匹配造成的直流偏壓(DC offset)。其輸出電壓與感測電容變化之間的關係式可以表示如下：

$$V_{out} = GAIN \times V2P25 \times 1.14 \times \frac{(CS2_T - CS1_T)}{C_F} + V_{REF} \quad (2-20)$$

其中 GAIN 為電路的增益值，分成 2 或 4；V2P25 為 2.25；CS2_T 為 CS2IN 加上 CS2；CS1_T 為 CS1IN 加上 CS1。CF 為電路的迴授電容(feedback capacitance)，用以調整輸入電容的最佳化值。

所以透過此商用感測電路，可以將設計之加速度計所產生的電容變化，經過此感測電路轉換成電壓的輸出，來取得元件的感測特性。

2-1-4 加速度計元件增益流程圖

加速度計完整的元件特性分析如增益流程圖 2-5 所示，圖中總共有三個增益，分別代表三個物理量值之間的關係，最終可以表示成外加的慣性力與電壓輸出訊號之間的關係式。第一個增益圖表示外加慣性力與所產生位移之關係式，即方程式(2-11)所示；第二個增益圖表示，當外加慣性力造成加速度計元件產生位移時，經過差分電容放大器後，最終所產生的電容變化，即方程式(2-19)所表示；最後一個增益是透過差分感測電路，將電容的訊號變化轉換成電壓的訊號輸出 (C-V convertor)。

2-2 加速度計元件特性介紹

1. 元件靈敏度(sensitivity)

在此定義加速度計元件的靈敏度：每單位重力加速度所造成加速度計元件的電容輸出變化，通用單位為 mV/G。

2. 非線性(nonlinearity)

非線性為加速度計元件在量測範圍內，外加慣性力與感測訊號之間線性度的關係。

3. 雜訊基準(noise floor)

加速度計元件所提供的雜訊主要由兩個部分所組成[57]。(1)結構布朗運動造成的等效加速度雜訊 TENA(total noise equivalent acceleration, $\text{m/s}^2\text{rtHz}$)，可以由以下的方程式來表示：

$$TENA = \sqrt{\frac{4K_B T w_r}{QM}} \quad (2-21)$$

其中 K_B 為波茲曼常數、 T 為溫度、 M 為加速度計元件的質量塊、 w_r 為結構的共振頻率以及 Q 為品質因子，其單位為 G/rtHz 。(2)感測電路所提供的電子雜訊，此雜訊需轉換成與慣性力有關的單位，所以電路所提供的電子雜訊有下方的方程式來表示：

$$\sqrt{\frac{N_{\text{electronic}}}{\text{SystemGain}}} \quad (2-22)$$

其中 $N_{\text{electronic}}$ 的單位為 V/rtHz ， SystemGain 的單位為 V/G ，透過(2-22)式最後單位轉換為 g/rtHz 。最後整個系統所提供的雜訊基準(Input Referred Noise Density, IRND)將(2-21)與(2-22)兩個式子做均方根：

$$\text{IRND} \left[g / \sqrt{\text{Hz}} \right] = \sqrt{N_{\text{mechanical}}^2 + \left(\frac{N_{\text{electronic}}}{\text{SystemGain}} \right)^2} \quad (2-23)$$

4. 自我測試(self-test)

為了初步測試加速度計元件是否可以工作，透過自我測試電極可以檢測元件是否懸浮或是損毀，以確保加速度計元件在正確的位置。目前自我測試的部分仍為靜態的測試，只能夠確認元件是否懸浮，不能查驗特性是否飄移。

5. 溫度效應

溫度效應表示在人類的生活環境中，遇到的所有環境下都能夠確保元件特性飄移的程度。

6. 最大承受衝擊

此參數代表元件在多大的衝擊下仍能夠保持元件的特性，不至於受到損毀。由於加速度計的應用相當廣泛，有的使用環境會遇到不可預期的衝擊，如手機不慎掉落地面或是搖桿不慎摔至地面。所以必須確保在手機或是搖桿損壞前，加速度計元件仍能保持正常的運作下，所能承受的最大衝擊。在商用的

加速度計中，通常為 10000G 的衝擊，反應時間為 0.1ms。

2-3 平面加速度之設計

本章節以平面加速度計的設計概念為開始，並以 SOI 晶片設計製程，將元件製作出來。透過量測設備的建置，對元件特性之量測做一初步的探討。

2-3-1 平面加速度元件設計概念

依據前面所提及之加速度計運動行為以及特性介紹，此章節透過一基本型態之平面加速度為例，透過元件的設計、模擬以及製造量測探討元件的特性。其元件設計概念如圖 2-6 所示，為感測平面方向之加速度計元件，從圖中可以清楚觀察到加速度計元件之質量塊、彈簧、自我測試電極以及感測電極的分佈。中間質量塊透過四組摺疊式彈簧連接至固定端，而形成可動電極。質量塊兩旁有一對差分電容感測電極，以梳狀電極設計來感測電容變化。然而在質量塊的四周有四組自我測試電極，作為感測結構動態特性之功能。

當有一 y 方向慣性力作用於系統時，質量塊受到慣性力的作用往 y 方向運動，此時 $+x$ 方向之感測電極因為平行電極板之間的間距變大，而產生 $-\Delta C$ 的訊號； $-x$ 方向之感測電極因為平行電極板之間的間距變小，而產生 $+\Delta C$ 的訊號，因此質量塊兩邊之感測電極形成差分電容感測機制。

平面加速度計的初步設計結果如下：所選用的 SOI 晶片元件層厚度為 $50\mu\text{m}$ ，為了初步得到加速度訊號，設計較低的結構共振頻以得到較大的電容變化輸出，因此初步設定共振頻約為 1kHz。此外，因考量製程中會遇到的黏附(stiction)問題，在質量塊中有所謂的蝕刻開孔設計，一方面是為了減少結構懸浮的時間，另一方面是為了降低黏附問題的產生。如圖 2-7 所示為本研究所設計之初步平面加速度計元件之模型，其中間的開孔為了加快模擬運算的時間，以等效開孔面積作為簡化模型。如圖 2-8(a)所示為以 Coventorware 軟體模擬平面加速度計之結

構第一模態，頻率約為 1.13kHz。如圖 2-8(b)與圖 2-8(c)所示，第二模態與第三模態分別為 3.5kHz 以及 3.8kHz，為扭轉模態以及出平面方向的模態。此模擬結果顯示，最容易使結構產生運動的方向恰為欲感測加速度訊號之方向，在其他非感測方向的剛性大於感測方向的剛性，表示其元件具有解耦合的特性。接下來模擬當於 y 方向施加一個重力加速度之外力時，結構所產生的位移，進而計算元件的靈敏度。元件的靈敏度定義為一個重力加速度外力下，加速度計元件所能提供的電容變化量。電容變化量與感測電極之初始電極以及感測間距有關，根據設計感測電極總共有 19 根，其初始電容值之總和約為 610fF，感測間距為 2 μ m。模擬結果顯示在一個重力加速度外力下，加速度計元件位移量為 195nm，以式(2-19)可以求得加速度計元件的靈敏度為 118.95fF/G。

2-3-2 製程設計與結果

製程步驟如圖 2-9 所示，選用厚度為 50 μ m 之 SOI 晶片作為基材。如圖 2-9(a)所示，首先成長 1 μ m 熱氧化層作為深蝕刻系統(Deep RIE)之遮罩層，以第一道光罩定義加速度計元件之形狀，再以 RIE 去除氧化層。如圖 2-9(b)所示，接著以第二道黃光定義加速度計元件下方開孔，此步驟是為了避免懸浮過程造成黏附的現象。如圖 2-9(c)所示，以第一道深蝕刻系統將加速度計元件下方的 SOI 晶片處理層移除，再以 RIE 將 SOI 晶片之氧化夾層去除。最後以正面的深蝕刻將元件定義出來，再以 HF 懸浮結構，如圖 2-9(d)所示。

如圖 2-10 所示為平面加速度計元件之電子顯微鏡圖，圖中可以清楚的觀察到元件的質量塊、彈簧、自我測試電極、固定端以及差分感測電極。在對準式黃光顯影製程中，線寬的極限為 4 μ m，所以感測電極的間隙只能做到 4 μ m。透過後組裝的設計概念，可以將感測間隙減小至 2 μ m，所以在圖中亦可以看到後組裝的機構設計。如圖 2-11(a)所示為後組裝的卡榫設計，在組裝前如圖 2-11(b)所示，經過後組裝操作後如圖 2-11(c)所示。

2-3-3 元件封裝與量測

如圖 2-12 所示為加速度計元件經由打線封裝於陶瓷基板的實體圖。如圖 2-13 所示為本研究之量測架構，將待測元件裝置於振動平台上，加速度計元件架設於振動機上之實體圖如圖 2-14 所示。透過功能產生器(function generator)來控制振動機提供慣性力來驅動加速度計元件，透過商用電路 MS3110 將差分電極所感測到的電容變化，轉換成電壓變化輸出，進而得到慣性力與輸出電壓之間的關係式，以示波器以及頻譜分析儀來取得最後加速度計元件的電壓訊號輸出。

如圖 2-15 所示為平面加速度計透過實驗所得到加速度外力與電壓輸出的關係圖，其中元件之靈敏度初步量測結果為 103.81mV/G (Y 方向)。解耦合量測部分，X 方向之解耦合為 6.13%，出平面方向之解耦合為 6.43%，最小量測解析度為 10mG。

2-4 結論

透過質量塊、彈簧以及阻尼的二階微分方程式分析加速度計元件的運動行為，並透過推導得到機械結構之靈敏度。再以差分電容電極公式推導將機械結構所產生的位移轉換成感測電路讀取之電容變化，最後透過 MS3110 商用感測電路將電容變化轉換成電壓輸出，對於加速度計基本的運作原理以及描述加速度計元件的參數有初步的介紹。再透過一般型態之平面加速度計為例，從元件之設計概念，模擬結構之機械結構靈敏度，進而計算電容變化得到元件之初步靈敏度。最後透過以 SOI 晶片為基礎，以微機電製程製造以及透過量測系統的架設量測元件特性，對於加速度計元件的特性，有更進一步的探討，其中此平面加速度計的靈敏度為 108.31mV/G，解耦合小於 6.43%。



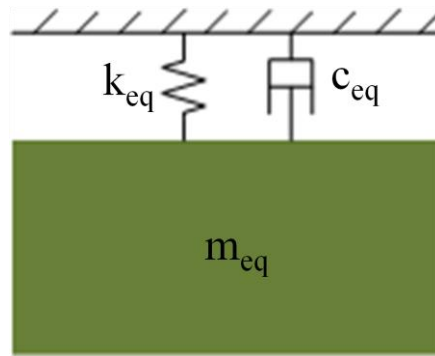


圖 2-1 加速度計元件示意圖

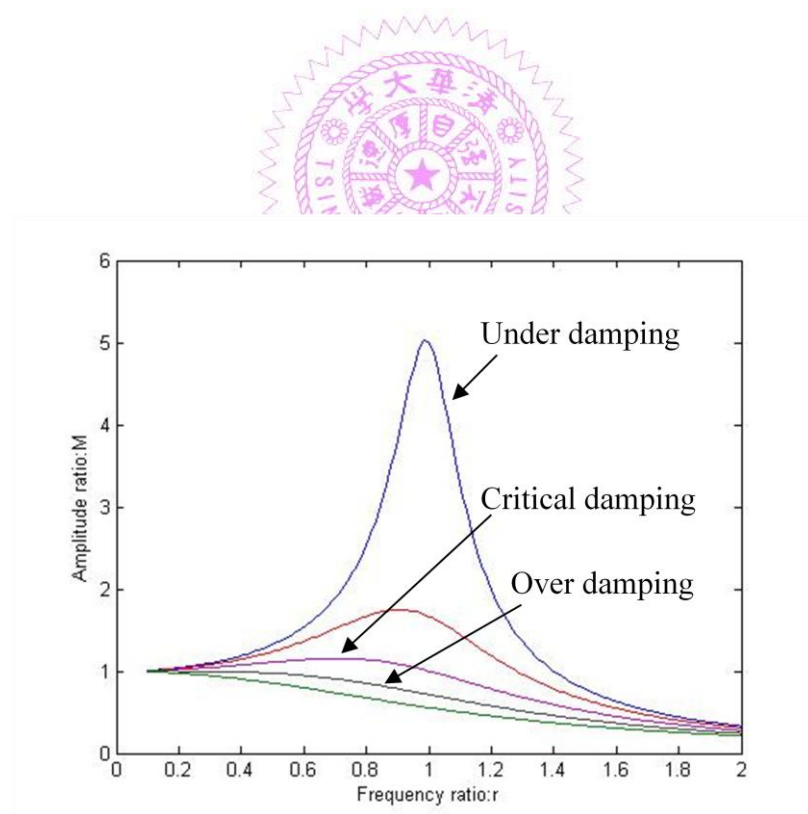


圖 2-2 透過(2-8)式所繪出的動態系統之頻率響應圖

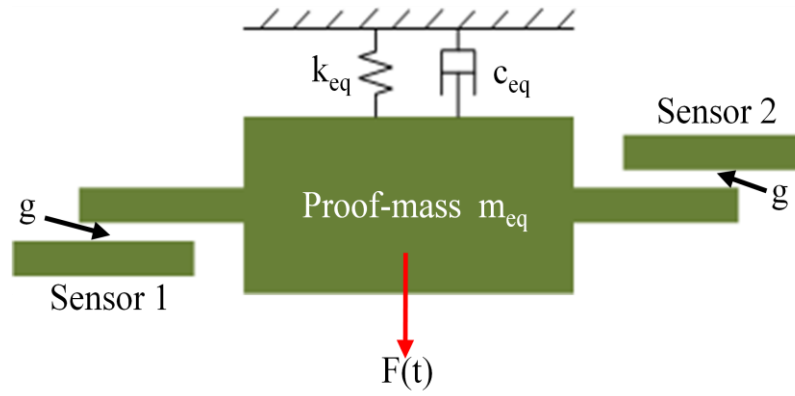


圖 2-3 加速度計之等效模型

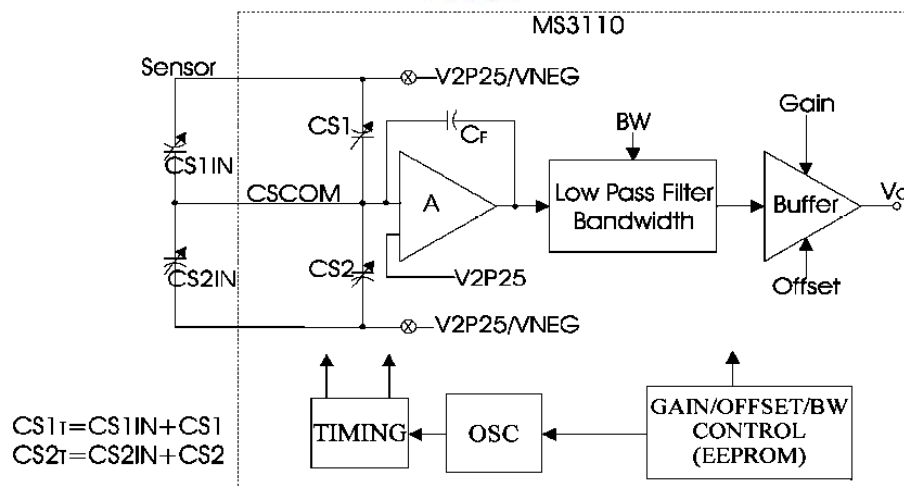


圖 2-4 MS3110 電容式感測電路架構[80]

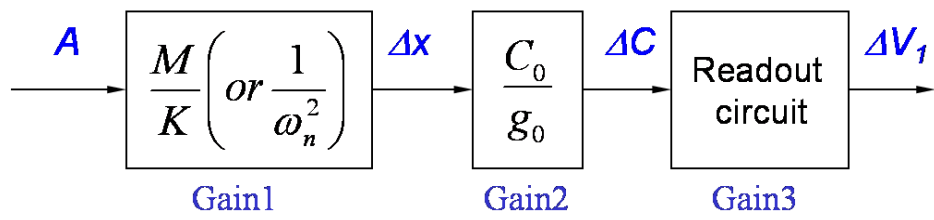


圖 2-5 加速度計元件特性增益流程圖

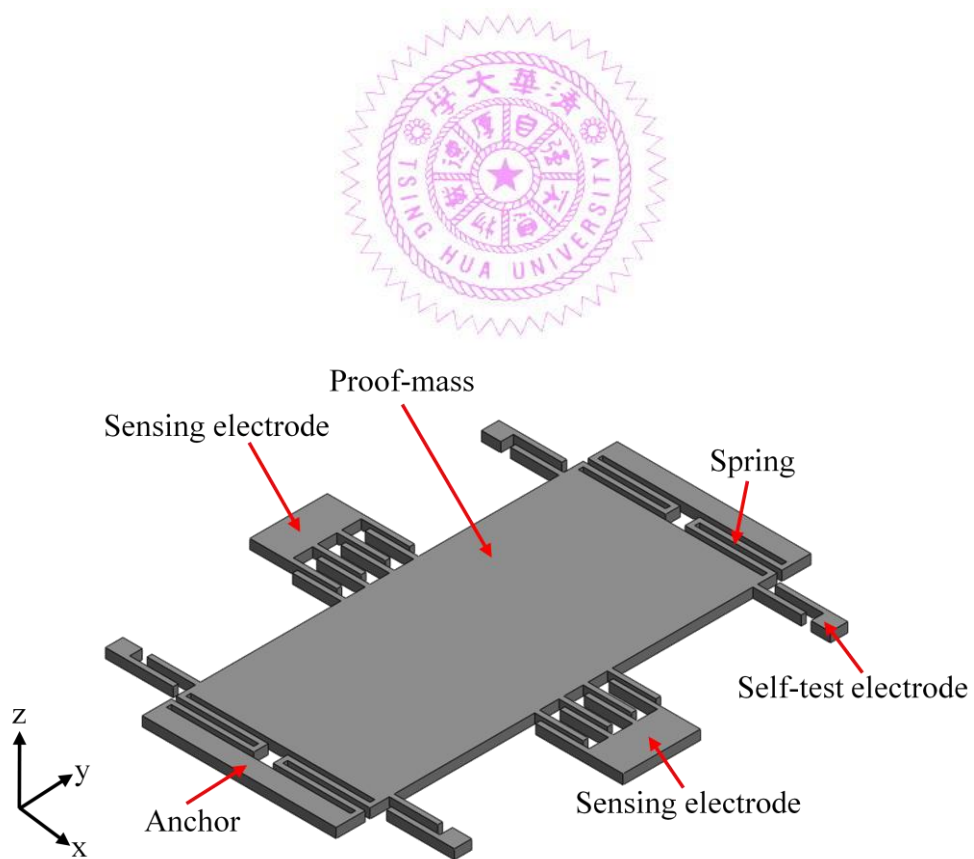


圖 2-6 基本型態之平面加速度元件設計概念

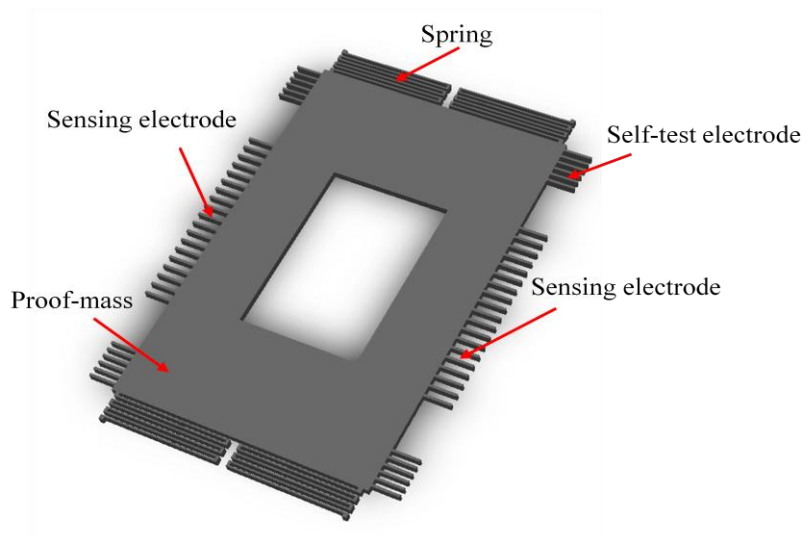


圖 2-7 平面加速度計元件之模型

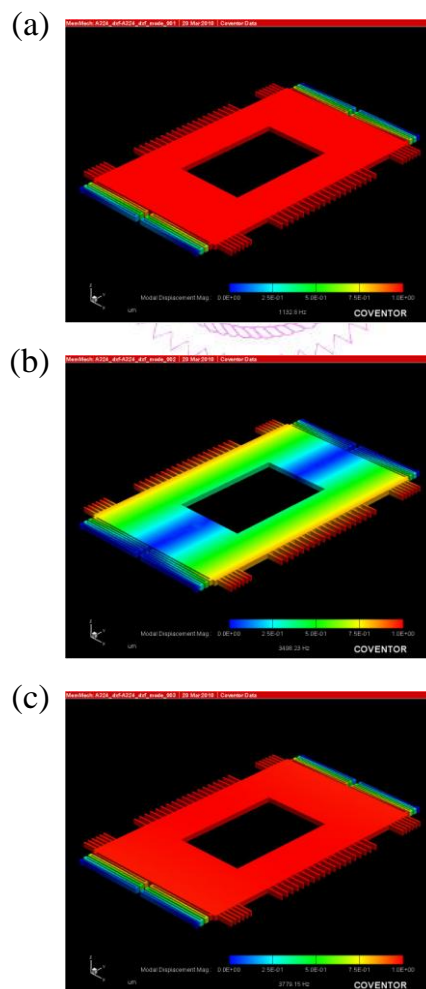


圖 2-8(a)平面加速度計之結構第一模態 (1.13kHz)、(b)第二扭轉模態(3.5kHz)以及(c)出平面方向第三模態(3.8kHz)

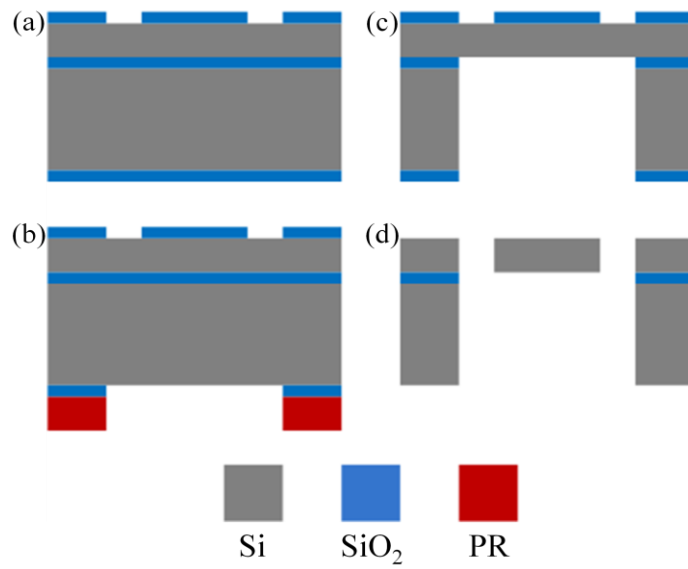


圖 2-9 平面加速度計製程步驟

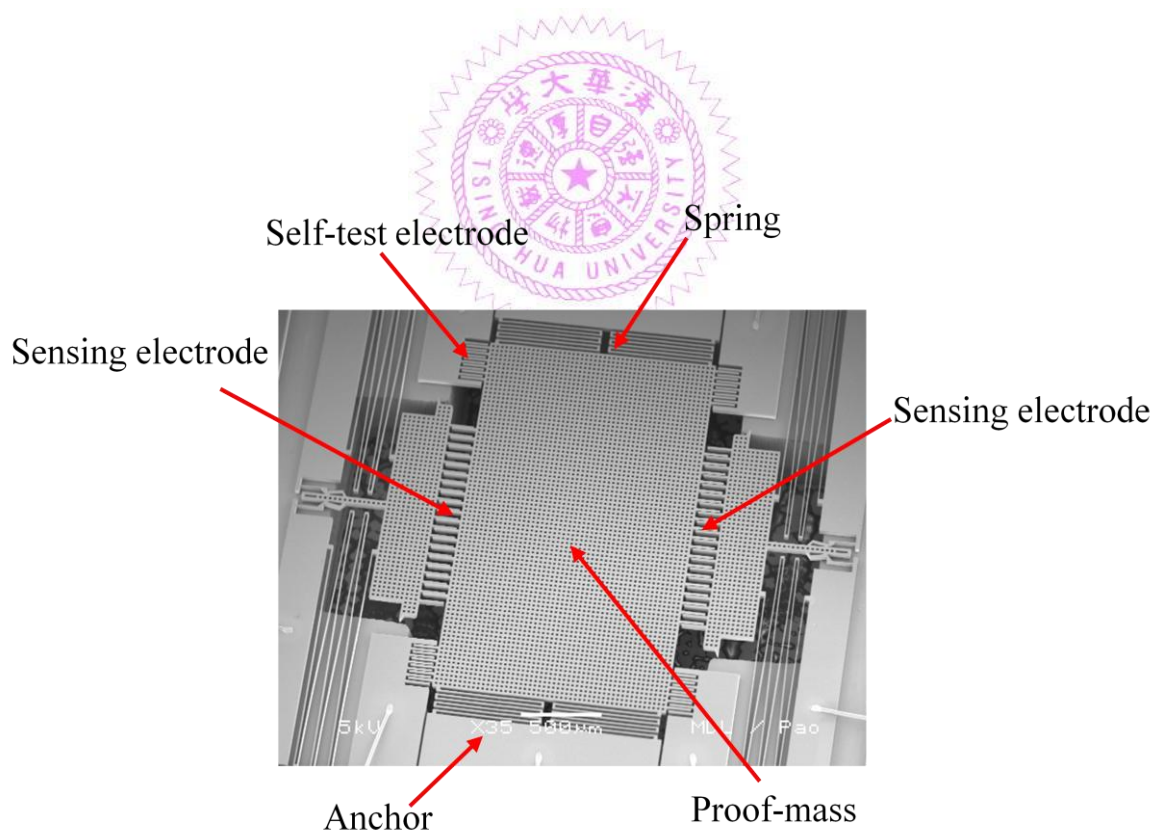


圖 2-10 平面加速度計元件之電子顯微鏡圖

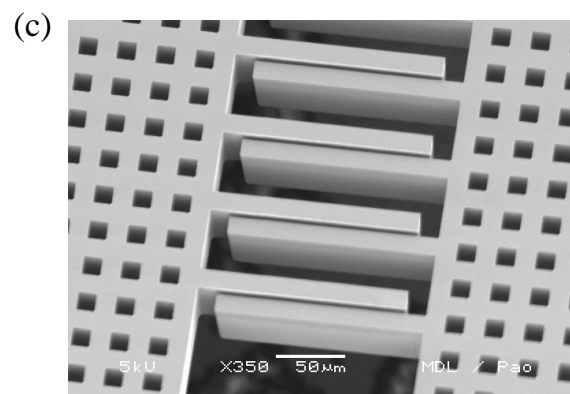
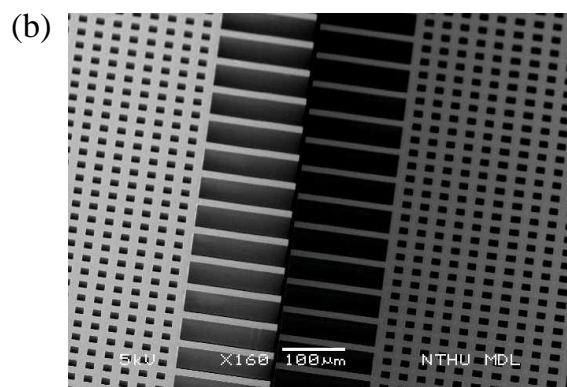
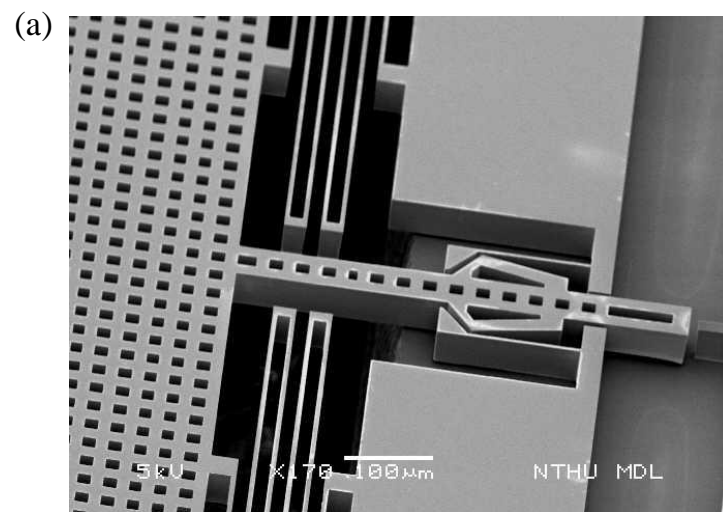


圖 2-11 平面加速度計之(a)後組裝的卡榫設計、(b)組裝前以及(c)組裝後

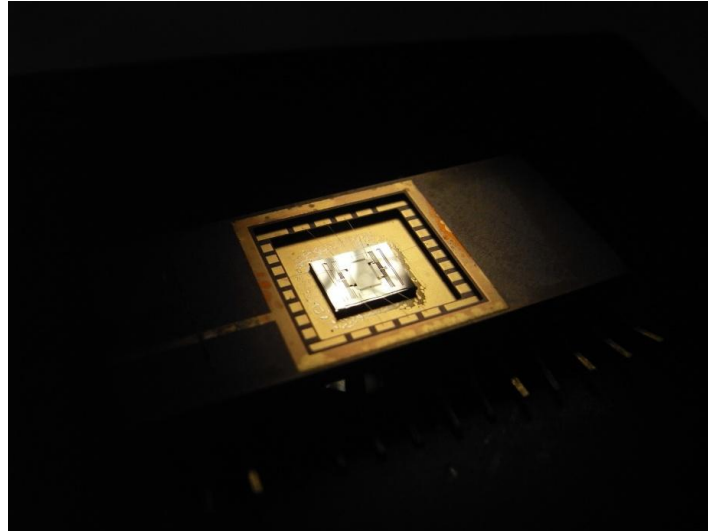


圖 2-12 平面加速度計元件經由打線封裝於陶瓷基板的實體圖

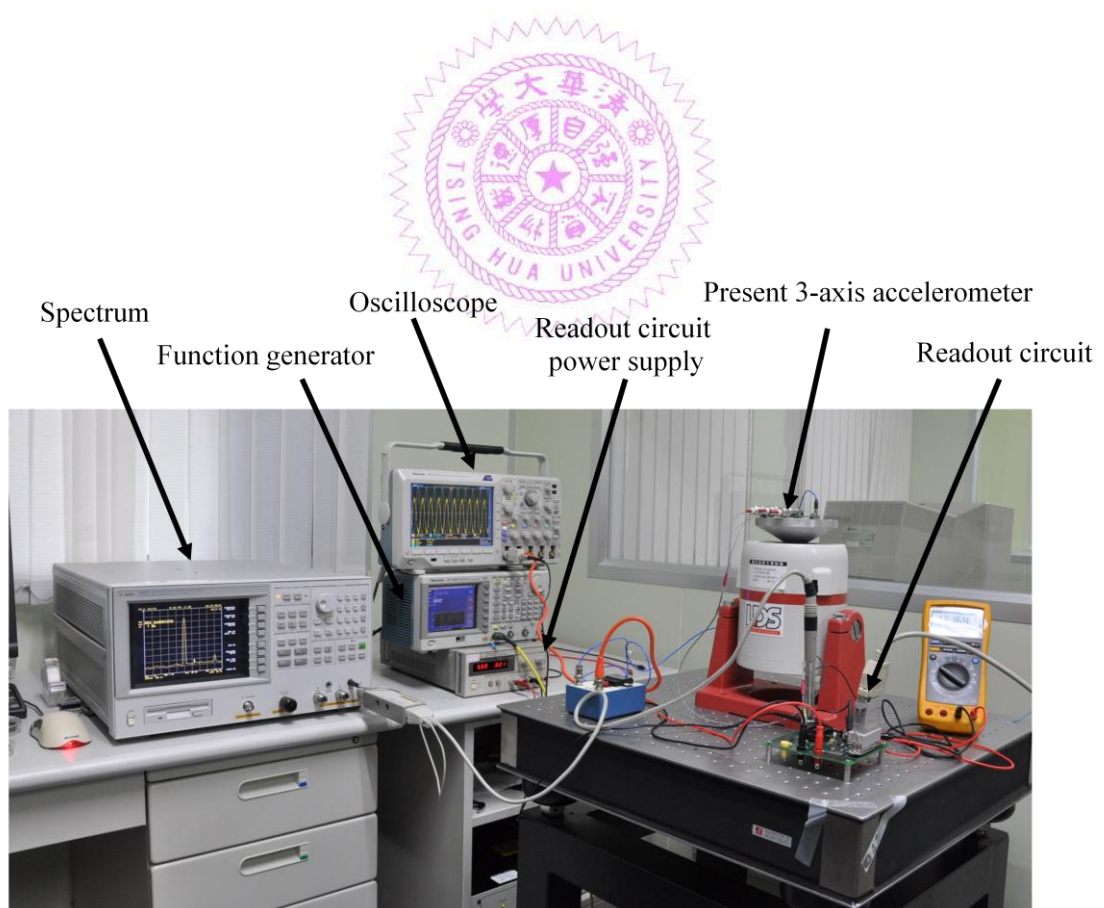


圖 2-13 平面加速度計之量測架構

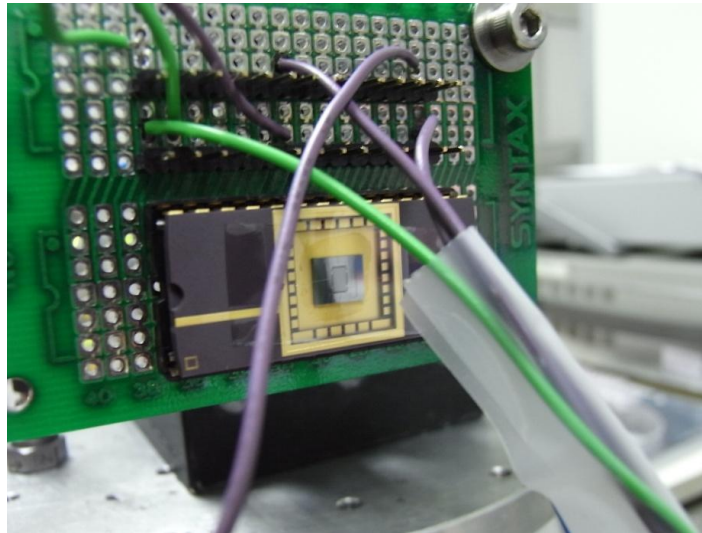


圖 2-14 加速度計元件架設於振動機上之實體圖

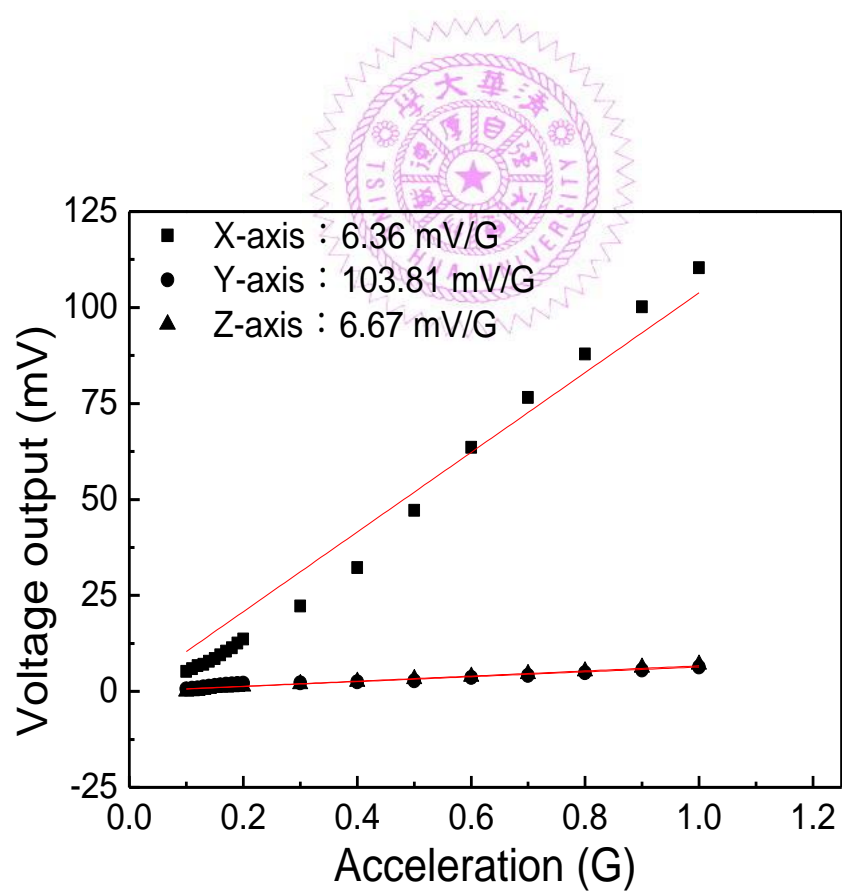



圖 2-15 平面加速度計加速度外力與電壓輸出的關係圖

第三章 出平面差分電極之加速度計設計

此研究提出以 SOI 晶片研製之新型出平面 (Z 軸) 電容式加速度計。此研究提出以氣密閉合之差分電極作為感測型態之出平面加速度計。此出平面加速度計有四個特色：(1) 質量塊包含 SOI 晶片之元件層(device layer)以及處理層(handle layer)，因此提升質量而提高靈敏度；(2) 量測之靈敏度因為氣密閉合的差分電極感測而增加；(3) 透過金屬連接(metal-vias)SOI 晶片元件層以及處理層的電性；(4) 由於感測電極的間距是 SOI 晶片中的氧化層決定，所以感測的間距可以被精準定義，且不受黃光製程的限制。透過設計與製造，初步的量測結果已驗證此新型出平面加速度計的可行性，靈敏度為 196.3mV/G；在 1G 的量測範圍中，非線性度約為 2%，解析度為 10mG。

3-1 設計概念



此研究提出以 SOI 晶片製作氣密閉合之差分電容感測電極的加速度計。如圖 3-1 所示，加速度計之上視圖是由 SOI 晶片之元件層(device layer)所構成，後視圖則是呈現 SOI 晶片處理層之形狀定義。此新型加速度計包含四個支撐彈簧、一個質量塊、四對感測電極，其中每一對電極包含可動電極(movable electrode)以及固定電極(stationary electrode)，以及數個連接元件層(device layer)以及處理層(handle layer)電性導通之金屬連接，如圖 3-1(a)所示。質量塊為可動電極，固定電極則設置於質量塊周圍。從元件的後視圖觀察，元件層所定義出的加速度計形狀由背後深蝕刻(backside etching)系統所定義出的溝槽分成五個區塊，如圖 3-1(b)所示。中間質量塊與其四角之固定端以四根彈簧連接，形成一個獨立的電位作為可動電極；為了使由元件層以及處理層所組成的質量塊為一個相同電位，透過金屬(metal-vias)來連接下方處理層電性至上面元件層電性。周圍四個感測電極亦是由背後深蝕刻系統將電性分別開來，每一個電極代表一個獨立的電位作為固定電極。同樣的，每一個電極都透過金屬來連接下方處理層電性與上面元

件層電性。透過此設計的安排，可以定義出兩對上下電極作為出平面方向的氣密閉合差分電容感測電極之設計。如圖 3-1(a)所示，元件的上視圖顯示 AA' 剖面的可動電極與固定電極形成一個出平面方向的氣密閉合感測電極，此時可動電極為感測上電極而固定電極為感測下電極；而 BB' 剖面的可動電極與固定電極亦形成一個出平面方向的氣密閉合感測電極，此時可動電極為感測下電極而固定電極為感測上電極。從圖 3-1(b)中來觀察元件的後視圖，顯示 AA' 剖面的固定電極是由兩端處理層的矩形所決定；BB' 剖面兩端的處理層矩形為固定電極的支撐塊。

圖 3-2 更進一步說明元件的操作特性。其剖面分別為圖 3-2(a)所示的 AC 剖面及 BC 剖面。如圖 3-2(a)所示，顯示 AC 剖面的一對感測電極(C_{in1})，可動電極由質量塊的元件層所決定，為上電極的設計，而下電極為固定電極。從另一個剖面來觀察，如圖 3-2(b)所示，顯示 BC 剖面的另一對感測電極(C_{in2})，此時可動電極仍由質量塊所定義，但是變成下電極的設計，而固定電極此時則為上電極的設計。當有慣性力施加於整個系統時，AC 以及 BC 剖面的質量塊因受到慣性力而有向下的運動產生。由於 AC 剖面的質量塊為感測上電極，因此會與固定下電極產生一 $+\Delta C$ 的訊號；從 BC 剖面來觀察，此時質量塊為下電極，因此會與固定上電極產生一 $-\Delta C$ 的訊號。透過此量測的機制，差分電容感測電極的設計因此可以實現，進而改善訊號的靈敏度以及提升訊雜比。此外，可動電極以及固定電極是由元件層以及處理層所構成，而且透過金屬連接元件層以及處理層的電性。與一般 SOI 晶片所製作的元件中，由於 SOI 晶片氧化層的緣故，元件層與處理層之間有較大的寄生電容。本研究透過金屬連接的設計，將元件層與處理層之間的電位連接，寄生電容預期可以透過此設計概念大幅減小。另外，此出平面加速度計元件感測電極的間隙是由 SOI 晶片中間的氧化層所決定，並非黃光微影所定義。換句話說，感測的間隙不會受到製程線寬極限的限制，且間隙可以相當精準的由所選用的 SOI 晶片所決定。

出平面加速度計的初步設計結果如下：選用的元件層厚度為 $18\ \mu\text{m}$ 、SOI 晶片的氧化層厚度為 $2\ \mu\text{m}$ 、元件的尺寸初步定在 $5\ \text{mm} \times 5\ \text{mm}$ 、元件的動態頻率響

應設定約 3 kHz，所選用 SOI 晶片規格整理於表 3-1。因此由前述的設計條件，彈簧剛性經過設計後為 36.6 Nm^{-1} 、質量塊質量為 $0.4 \mu\text{g}$ 。如圖 3-3 所示，為此初步元件設計的動態響應之模擬結果。第一個模態為出平面方向的運動，共振頻率為 3.5kHz，表示在出平面方向的行為最容易被激發出來。加速度計元件設計中，較佳的設計原則為第一模態運動行為與元件感測方向的運動行為一致。換句話說，當設計出平面加速度計元件時，第一感測模態應為出平面的運動方向。第二模態為平面旋轉(twisting)的模態，共振頻為 7.67kHz；第三以及第四模態的共振頻為 8.79kHz 以及 9.10kHz。此模擬結果顯示，除了在出平面方向較容易被激發，其他方向的運動由於剛性較強不容易被激發，表示解耦合(decouple)的能力較好。感測初始電容由上下電極板之間重疊面積以及感測電極之間的間隙所決定，本章節所提出元件的初步設計中，初始電容為 442fF。因此本研究之出平面加速度計的靈敏度為 48 fFG^{-1} 。目前加速度計元件的規格整理如表 3-2 所示。

根據前述所提及之設計概念，歸納目前所設計初步的出平面加速度計有四個特點：(1) 本研究出平面加速度計的質量塊是由 SOI 晶片的元件層以及處理層所構成，使得元件的質量較大進而提升元件的靈敏度；(2) 本研究之感測電極為氣密閉合差分電容感測電極(gap-closing differential capacitive sensing electrodes)，相較於面積改變(area variation)的電容感測電極設計，提升元件的靈敏度；(3) 本研究所提出的金屬連接(metal-via)SOI 晶片之元件層以及處理層設計，除了預期可減小元件的寄生電容之外，也提出一個較簡單電性連接的設計；(4) 此元件感測電極之間隙是由 SOI 晶片初始的氧化層夾層厚度所決定，並非由黃光顯影的極限所決定，因此間隙可以被精準的被定義，不受製程上的限制。

3-2 製程設計與結果

製程步驟如圖 3-4 所示，此製程以 SOI 晶片為基材，所選用 SOI 晶片規格如表 3-1 所示。以成長熱氧化層 $1 \mu\text{m}$ 作為後面深蝕刻系統(Deep RIE)的遮罩開始，第一道黃光來定義加速度計平面的幾何形狀，並以 RIE 去除氧化層。接下來以

低壓化學氣相沈積系統(LPCVD)沈積 100nm 氮化矽(Si_xN_y)，氮化矽薄膜為往後 KOH 蝕刻液之蝕刻阻擋層，再以第二道黃光定義金屬連接的開孔位置，透過 RIE 去除氮化矽以及氧化層，將欲定義金屬連接位置的矽基材開孔露出，如圖 3-4(a)所示。接著將晶片浸入 KOH 蝕刻液將開孔蝕刻出來。再置入氧化爐管於 KOH 蝕刻液所蝕刻出來的晶格面上成長 $1\mu\text{m}$ 氧化層，作為往後深蝕刻製程的阻擋層，如圖 3-4(b)所示。此時正面製程已經完成，接下來是背面的製程步驟。首先將正面以及背面的氮化層去除。如圖 3-4(c)所示，以第三道黃光定義背面的電性絕緣溝槽以及質量塊，再以 RIE 將氧化層去除，接著以光阻(PR)做第四道黃光來定義質量塊的位置。此兩道黃光製程以氧化層以及光阻作為選擇性蝕刻選擇，稱為自對準技術(self-alignment technology)，避免兩次對準造成的對準誤差。第一次深蝕刻定義出可動電極質量塊厚度 h ，如圖 3-4(d)所示。接著將沒有被光阻保護的氧化層以 BOE 去除，再進行第二次深蝕刻將處理層的矽基材去除，最終蝕刻製程會停在 SOI 晶片的氧化層夾層，此時氧化層夾層為蝕刻停止層。此時背後的電性絕緣區域以及質量塊已經被定義出來。如圖 3-4(e)所示，以深蝕刻將氧化層定義的正面加速度計元件形狀，將元件層去除。此時出平面加速度計的質量塊、上電極以及彈簧在元件層上已經定義出來。元件層去除後最後再放置於 HF 將元件懸浮。由於目前的研究為了驗證此出平面加速度計的可行性，在金屬連接的製程部分，未選用標準半導體製程所可以得到的材料，而是先行選用較方便得到的銀膠作為本研究金屬連接的材料。透過商用點膠儀器將銀膠點放於 KOH 蝕刻液所定義的金屬連接位置，完成初步的新型出平面加速度計的製程，如圖 3-4(f)所示。

本章節所提出的出平面加速度計設計以元件層 $18\mu\text{m}$ 厚的 SOI 晶片並透過設計的製程加以實現。圖 3-5 表示此製程的製造初步結果。圖 3-5(a)為透過電子顯微鏡(SEM)，觀察出平面加速度計的上視圖，可以明顯的觀察出元件的質量塊、四組彈簧以及金屬連結的開孔。感測電極以及質量塊所形成的差分電容電極設計亦可以觀察出來。後視圖從圖 3-5(b)可以發現，四個獨立的電性絕緣電極，以及中間的質量塊以溝槽加以分開定義，且質量塊與電性絕緣電極有一個高度差，

是透過自對準技術所完成，如先述製程步驟之圖 3-4(d)。四個獨立電性絕緣電極，一對是作為固定下電極，另一對是作為固定上電極的支撐結構。圖 3-5(c)將差分電容電極放大顯示，圖下方的固定電極此時扮演下電極，而右邊的固定電極則扮演上電極。同理，質量塊在圖下方扮演上電極而在右邊則扮演下電極，以達到差分電極的設計。圖 3-5(d)將右方的電極再局部的放大，可以從圖中觀察到彈簧以及感測電極，其中感測電極間隙是由 SOI 晶片的氧化層夾層所定義，所以其間隙的厚度相當一致且精準的定義，並不受製程極限的限制。此外，質量塊下電極以及固定端上電極也明顯的表示出來。

3-3 元件封裝與量測

在出平面加速度計測試之前，金屬的連接必須先完成，本研究以商用的點膠系統將銀膠點在如圖 3-5(a)表示的金屬連接的位置。如圖 3-6 所示，銀膠透過點膠系統定義在金屬連接的位置。在打線之前，由於此出平面加速度計的差分感測電極分別於如圖 3-1 所表示的 AA'剖面以及 BB'剖面。為了避免在之後於 PCB 板上繞線產生寄生電容，透過將出平面加速度計元件黏著於含有金屬導線繞線的玻璃基板，如圖 3-7 所示。此設計一來可以節省金屬繞線上的問題，二來方便打線(wire bond)於陶瓷基板(ceramic)上。之後透過打線將訊號連接到陶瓷基板以便於往後量測系統的架設。如圖 3-6 所示，出平面加速度計元件經由打線於含有金屬導線繞線的玻璃基板亦可以清楚顯示。圖 3-8 為出平面加速度計元件的完整封裝結果。如前所述，為了方便導線連接，元件先連接於預先定義好導線的玻璃基板，再置於陶瓷基板將訊號接出。量測架構如圖 2-13 所示，以訊號功能產生機(function generator)透過控制器操作商用振動機(V40B electrodynamic shaker, by LDS Group Inc., USA)提供出平面加速度計元件所需的加速度外力，然後以商用的感測電路(MS3110 Universal Capacitive Readout IC, by Irvine Sensors Corporation, USA)將出平面加速度計元件的感測電極，受到加速度外力所產生的電容變化轉化成電壓變化輸出。圖 3-9 顯示出平面加速度計元件設置於振動機平

台上的實體圖，然後將感測電極產生的電容變化接到商用感測電路，如圖 3-10 所示。

最後以頻譜分析儀(Agilent 4395A network analyzer)以及示波器來讀取所得到的加速度計訊號。圖 3-11 右邊顯示本次研究所量測到的初步頻譜訊號，此時振動機所提供的加速度外力為 1G。圖 3-12 針對此加速度計做完整的量測。圖 3-12(a)所示，在加速度外力量測範圍從 0.1G 到 1.0G 中，新型出平面加速度計元件的靈敏度經由測試取得的值為 196.3mV/G，非線性度在 2% 以內。此外，經由加速度計元件的雜訊基準(noise floor)定義[57]：

$$\text{Noise floor} = \frac{\text{output noise}}{\text{sensitivity}} \times \frac{1}{\sqrt{\text{bandwidth}}} \quad (3-1)$$

其中 output noise 以及 bandwidth 由頻譜分析儀得到，output noise 為量測範圍中，頻譜上最低點的平均電壓輸出；bandwidth 為頻譜分析儀的量測解析度。經由量測所得到的元件靈敏度特性、output noise 以及 bandwidth，帶入(3.1)所得到的雜訊基準(noise floor)為 0.76mG/Hz^{1/2}。接著針對解耦合的特性做量測，量測平面加速度外力的解耦合特性，解耦合在 X 方向以及 Y 方向分別為 1.94% 以及 1.32%。量測的結果初步可以驗證此出平面加速度計元件的解耦合特性。圖 3-12(b)更進一步量測此元件量到最小量測值為 10mG，由於本研究之量測系統振動機的限制，所能提供的最小振動外力解析度為 10mG，根據雜訊基準，應能夠量測到小於 10mG 的訊號。其他量測的結果在表 3-3 顯示。此初步的實驗結果驗證新型出平面加速度計元件的可行性。

3-4 結論

從第二章所提出的一般型態平面加速度計元件以及本章所提出的新型態出平面加速度計元件，在同一個製程中可以同時研製平面加速度計元件以及出平

面加速度計元件成為一個三軸加速度計感測系統的架構。此製程平台的架構如圖 3-13 所示，左半部為新型態出平面加速度計元件的設計，可以感測出平面方向的外加慣性力；右半部為一般型態的平面加速度計元件，可以感測平面方向的外加慣性力。截至目前為止，因此本研究提出一個以 SOI 晶片發展三軸方向加速度感測的製程平台。其中出平面以及同平面的感測元件不是同一個元件所構成，而是透過三個獨立方向的感測元件來分別感測三個方向的外加加速度訊號。

以 SOI 晶片作為基板來研製慣性感測器已經是一個可行的方式，這幾年亦有許多研究成果以 SOI 晶片製作電容式型態的加速度計。然而在如何量測出平面加速度訊號仍為需多研究所面臨的艱難課題。此研究成功提出以 SOI 晶片研製之新型態出平面（Z 軸）電容式加速度計。此加速度計設計出平面以氣密閉合之差分電極作為感測型態。此出平面加速度計而漸量測之靈敏度因為氣密閉合的差分電極感測而增加；透過金屬連接(metal-vias)SOI 晶片元件層以及處理層的電性；感測電極的間距是 SOI 晶片中的氧化層精準定義。透過設計與製造，初步的量測已經驗證此新型態出平面加速度計元件的可行性，靈敏度為 196.3mV/G；在 1G 的量測範圍中，非線性度約為 2%，最小量測值為 10mG，在 X 方向以及 Y 方向的解耦合分別為 1.94% 以及 1.32%。

表 3-1 新型態出平面加速度計元件選用之 SOI 晶片規格

The specifications of the SOI wafer	
Device layer thickness	18 μm
Device layer resistivity	0.001-0.004 ohm-cm
Handle layer thickness	400 μm
Handle layer resistivity	0.001-0.004 ohm-cm
Buried-oxide thickness	2 μm

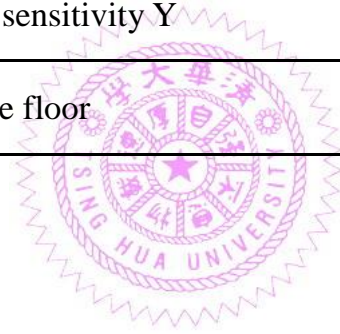


表 3-2 新型態出平面加速度計元件選用之設計規格

The detailed specifications of a typical accelerometer design	
Chip size	5 mm \times 5 mm
Mass	0.4 μg
Spring constant	36.6 N/m
Sensing gap	2 μm
Initial sense capacitance	442 fF
Sensitivity	48 fF/G

表 3-3 出平面加速度計初步量測結果

The characteristics of the present Z-axis SOI accelerometer	
Measurement range	$\pm 1\text{G}$
Bandwidth	100 Hz
Sensitivity	196.3 mV/G
Non-linearity	2%
Resolution	0.01 G
Cross-axis sensitivity X	1.94%
Cross-axis sensitivity Y	1.32%
Noise floor	$0.76 \text{ mG/Hz}^{1/2}$



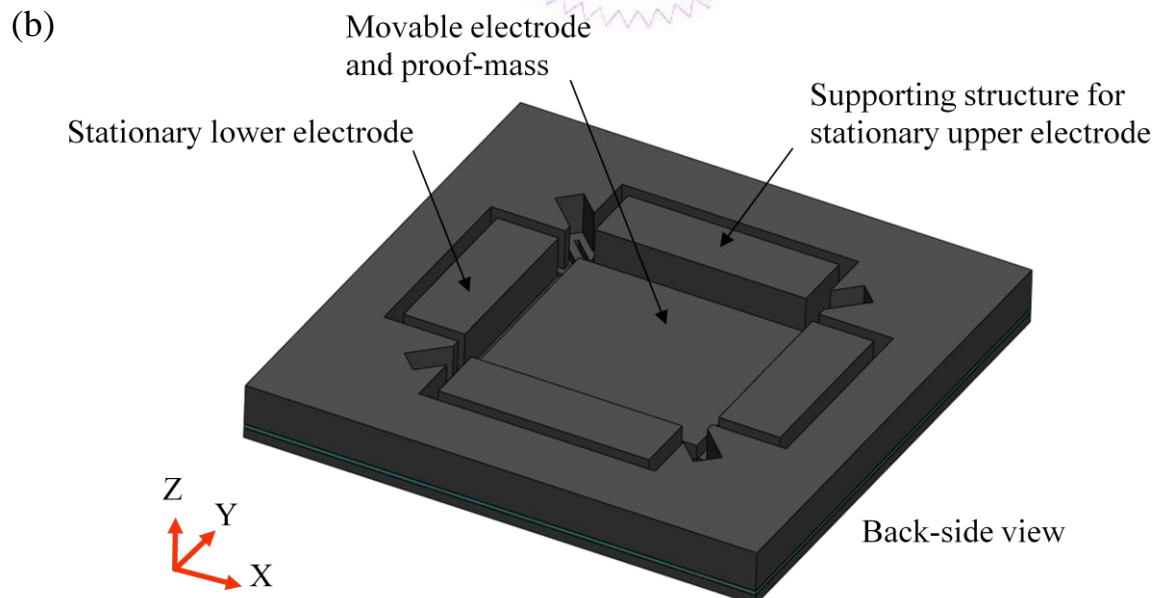
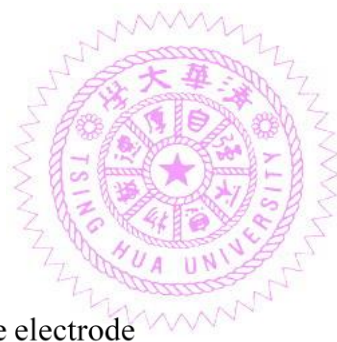
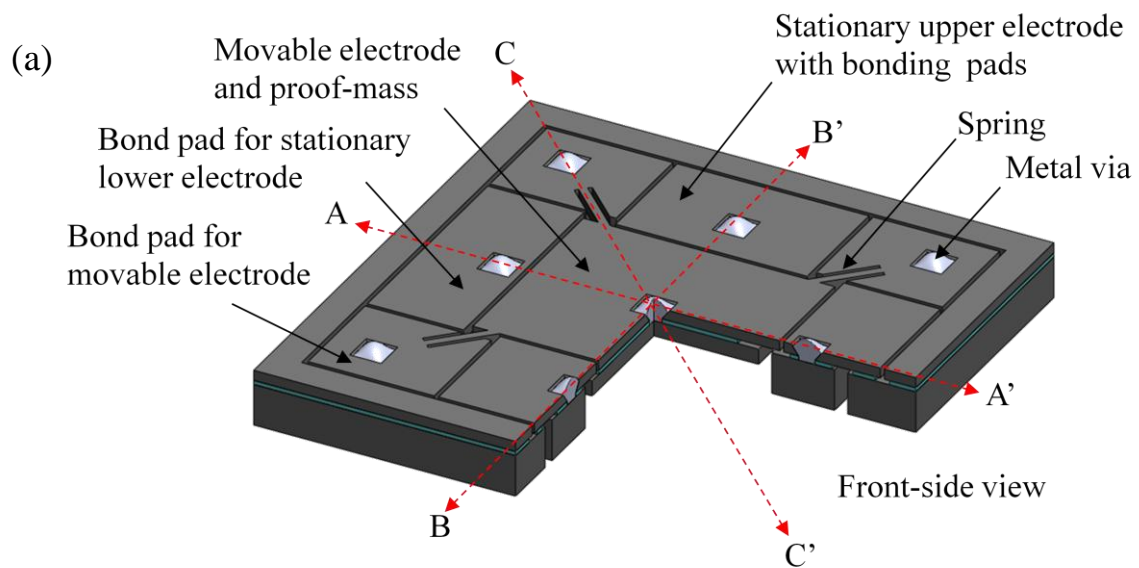


圖 3-1 新型態出平面加速度計(a)元件上視圖以及(b)元件後視圖

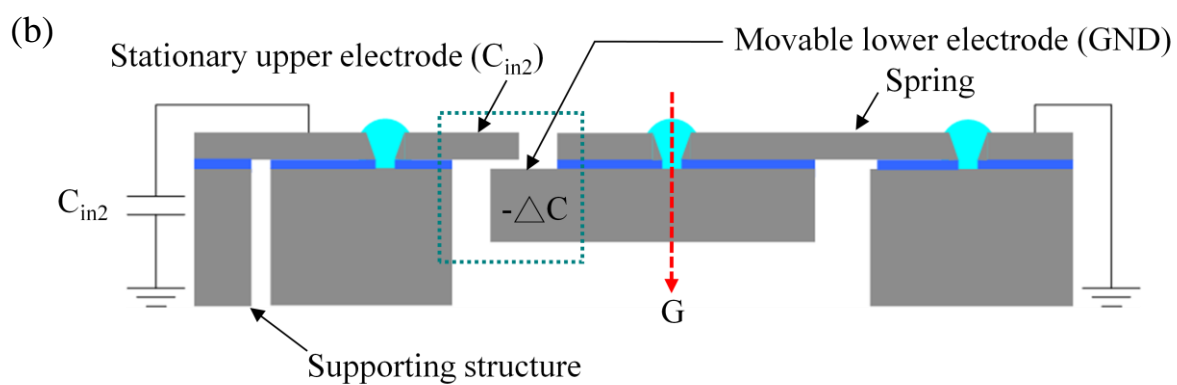
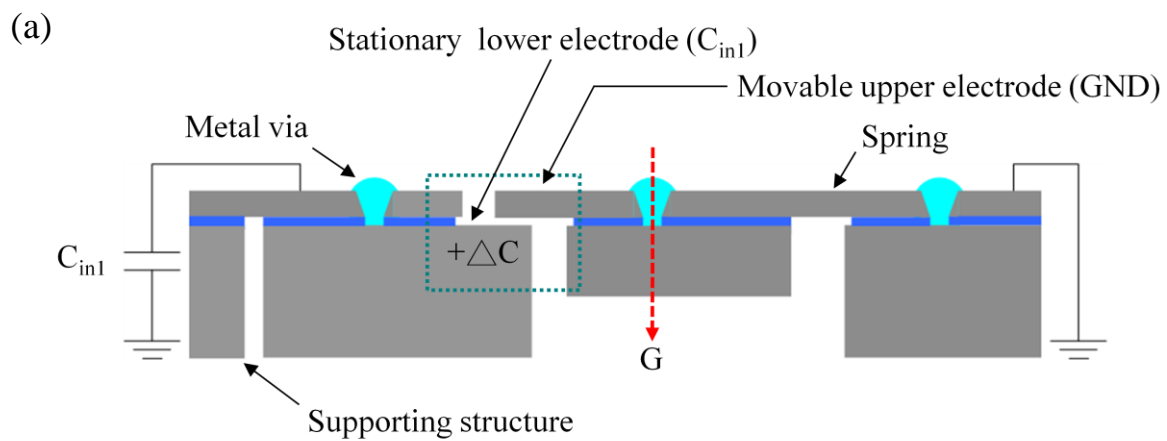


圖 3-2 新型態出平面加速度計元件之(a) AC 剖面以及(b)BC 剖面

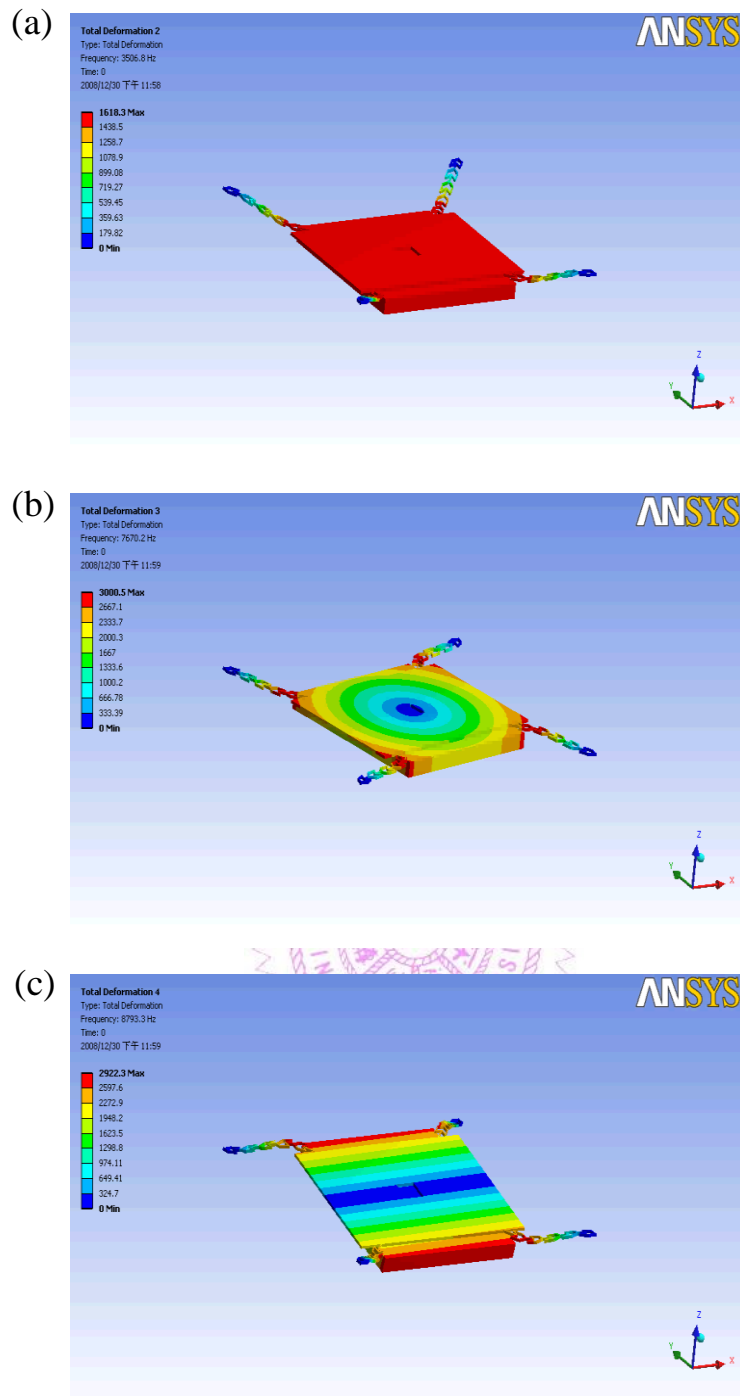


圖 3-3(a) 初步元件設計之第一模態：3.5 kHz、(b) 初步元件設計之第二模態：7.67 kHz、以及(c) 初步元件設計之第三模態：8.79 kHz

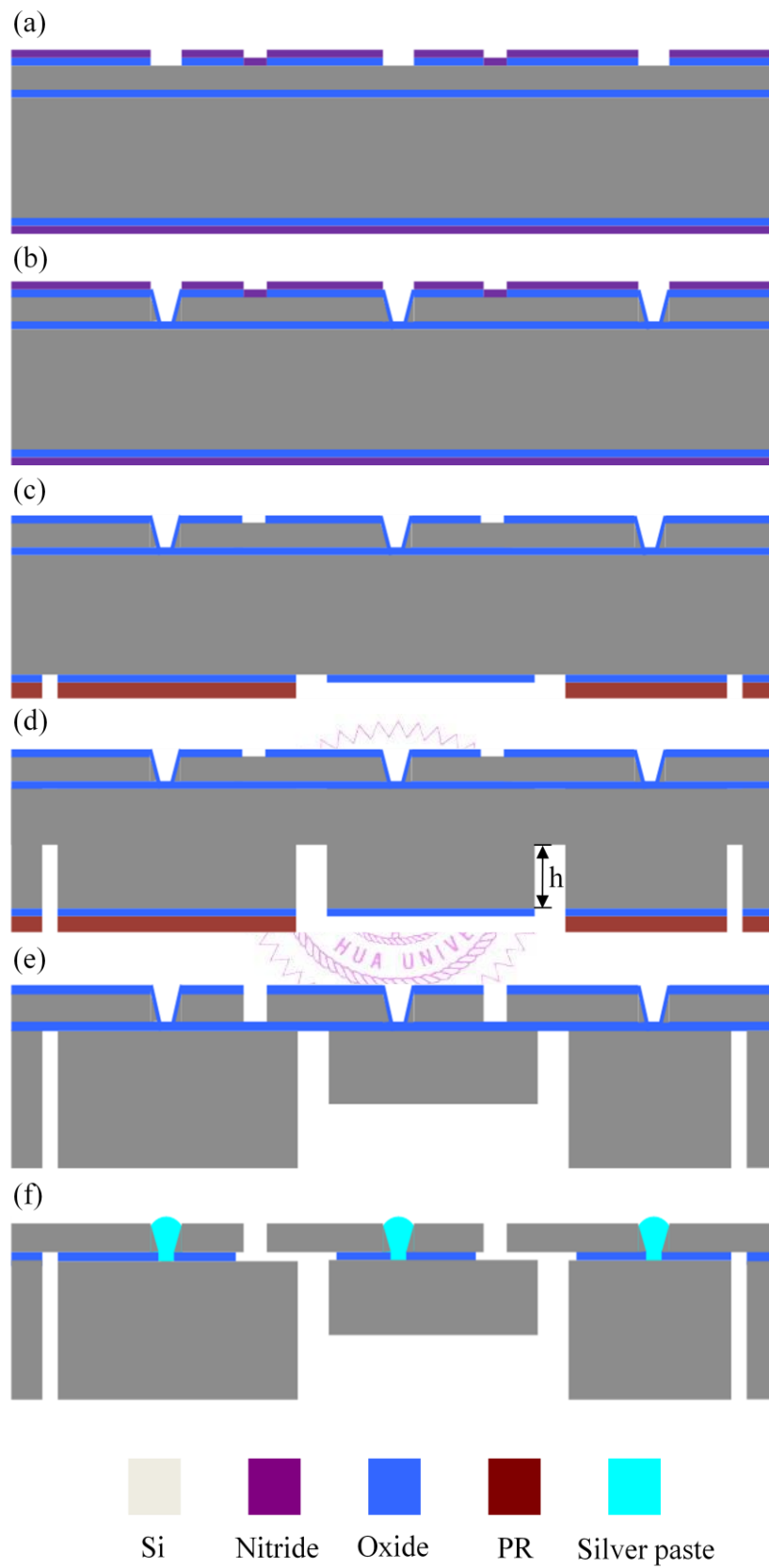


圖 3-4 初步元件設計之製程步驟

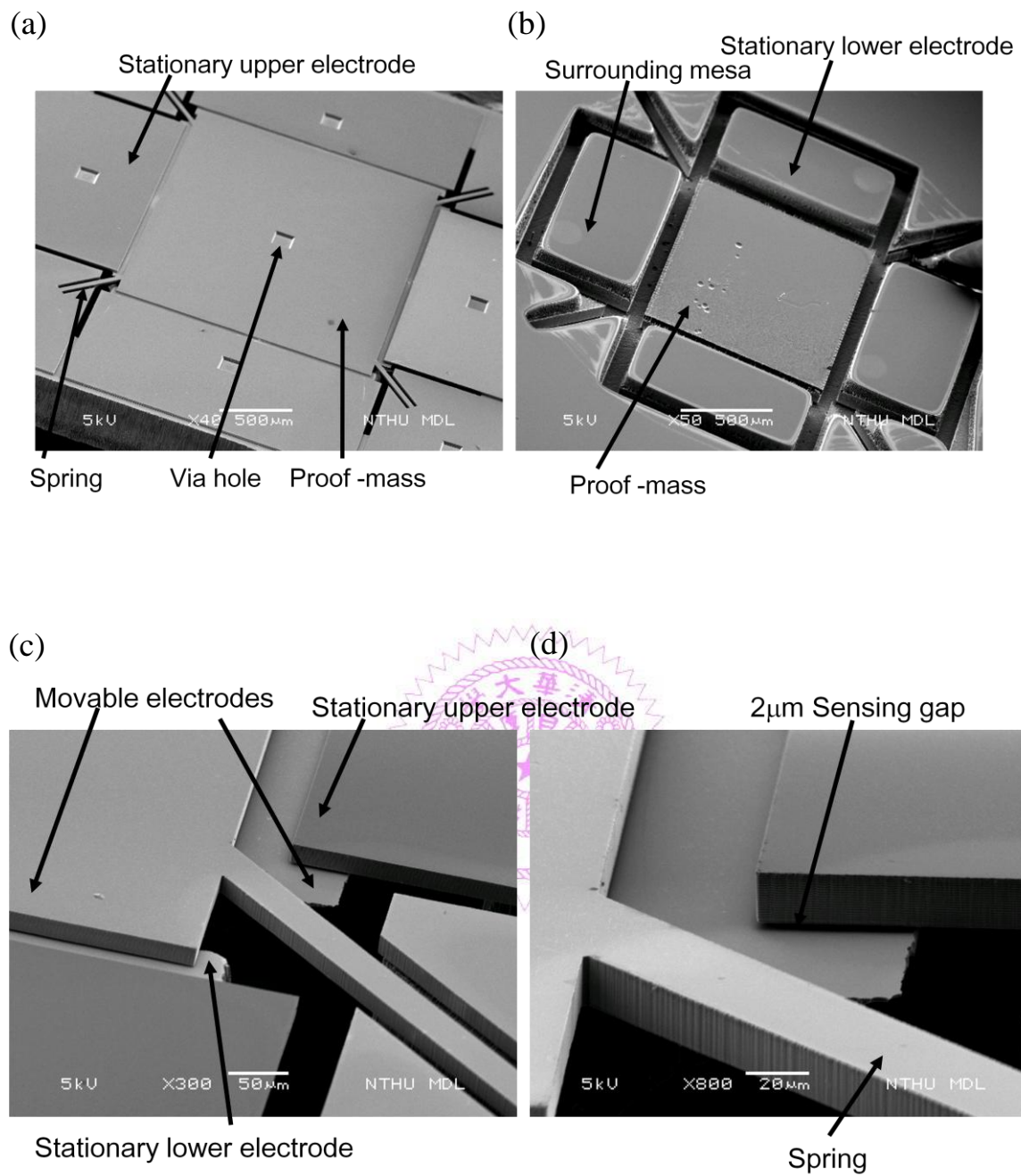


圖 3-5 所製造加速度計之電子顯微鏡(a)上視圖、(b)後視圖、(c)由可動電極以及固定電極所組成之差分電極的放大圖，以及 (d) 感測間隙之局部放大

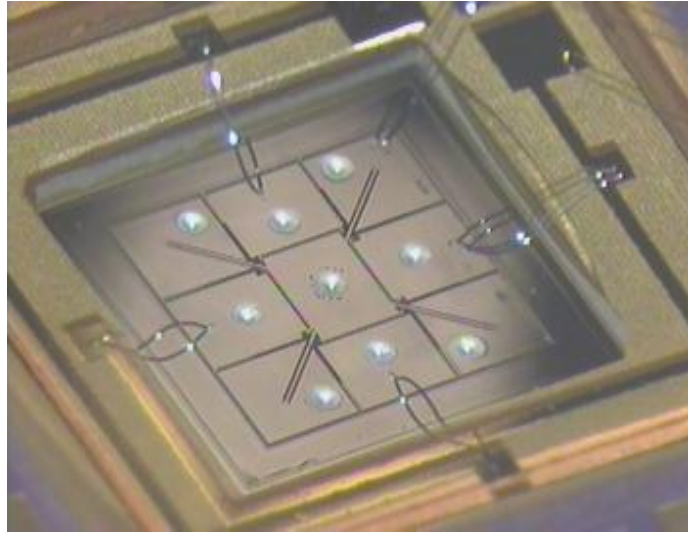


圖 3-6 本研究加速度計以銀膠做為金屬連接之結果及打線示意圖

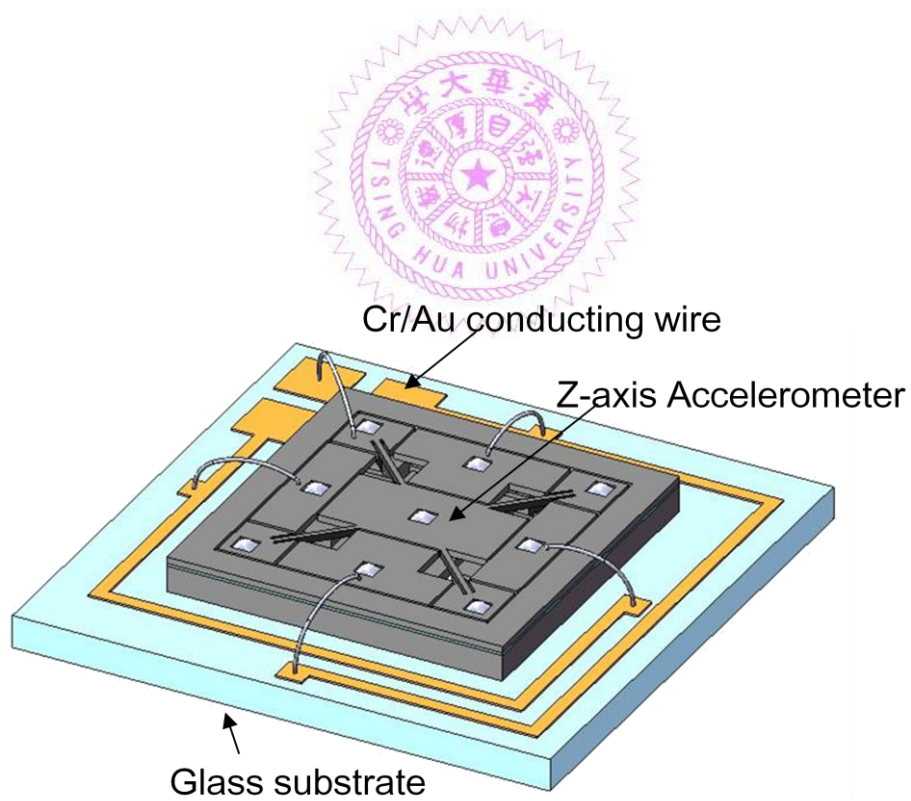


圖 3-7 出平面加速度計元件黏著於含有金屬導線的玻璃基板示意圖

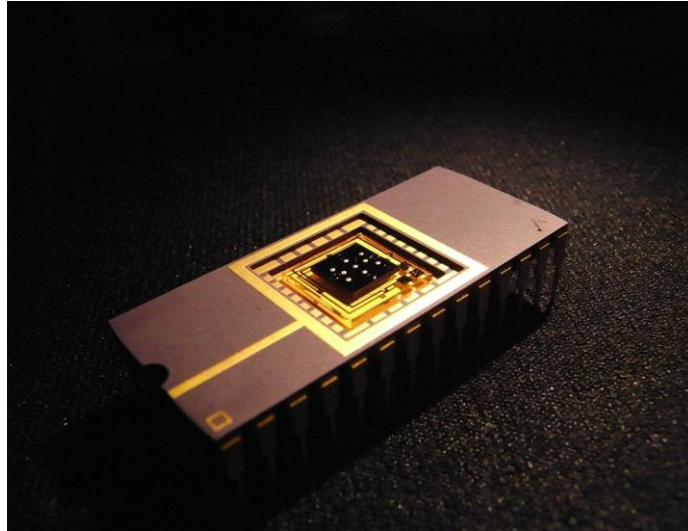


圖 3-8 封裝於陶瓷基板實體圖

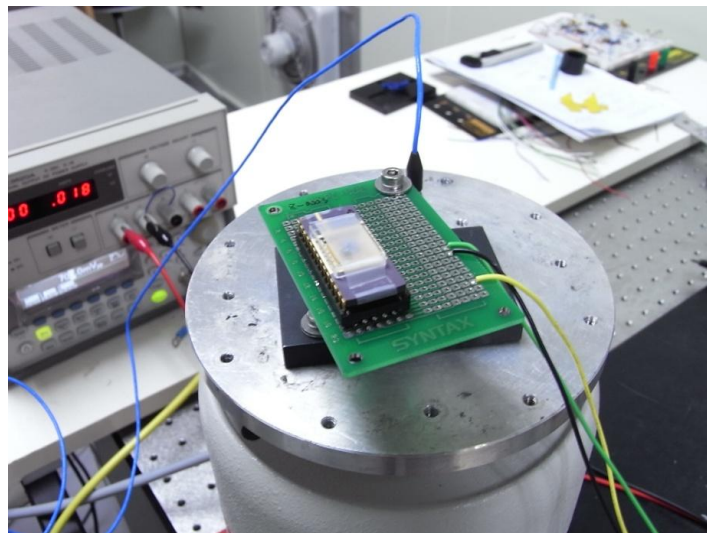


圖 3-9 出平面加速度計元件裝置於振動機之實體圖

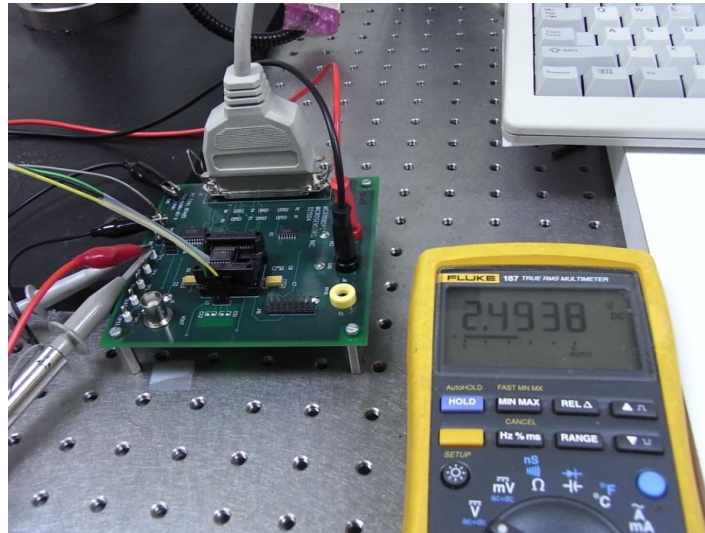


圖 3-10 商用感測電路實體圖(MS3110 Readout IC)

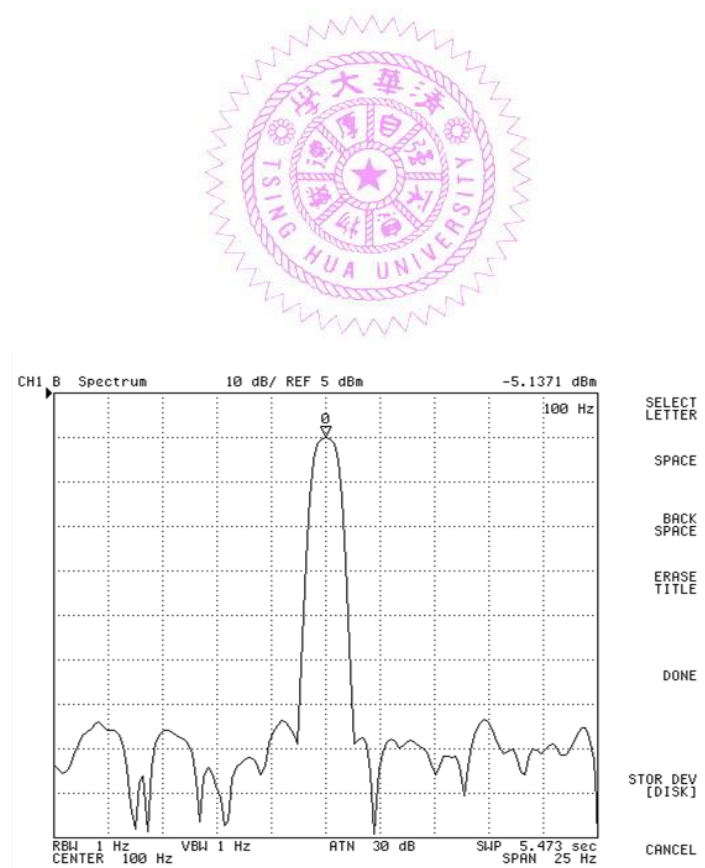


圖 3-11 初步量測頻譜圖 (振動機所提供的加速度外力為 1G)

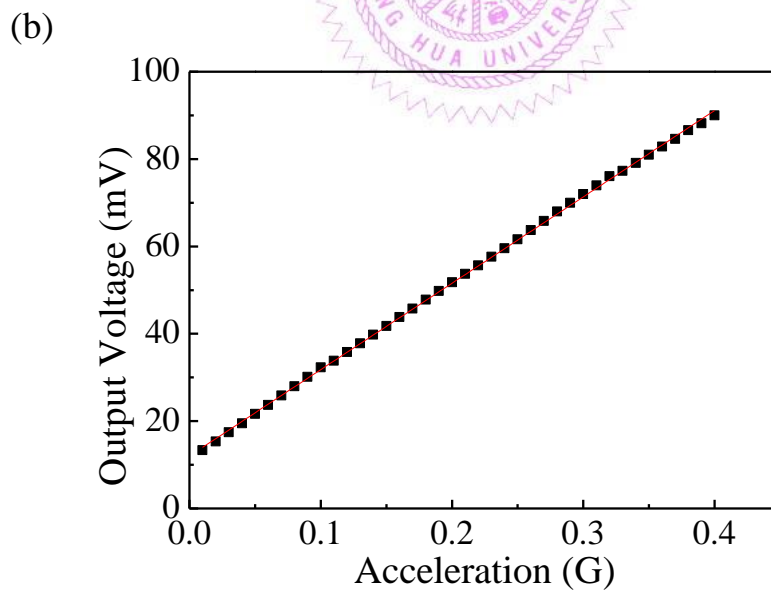
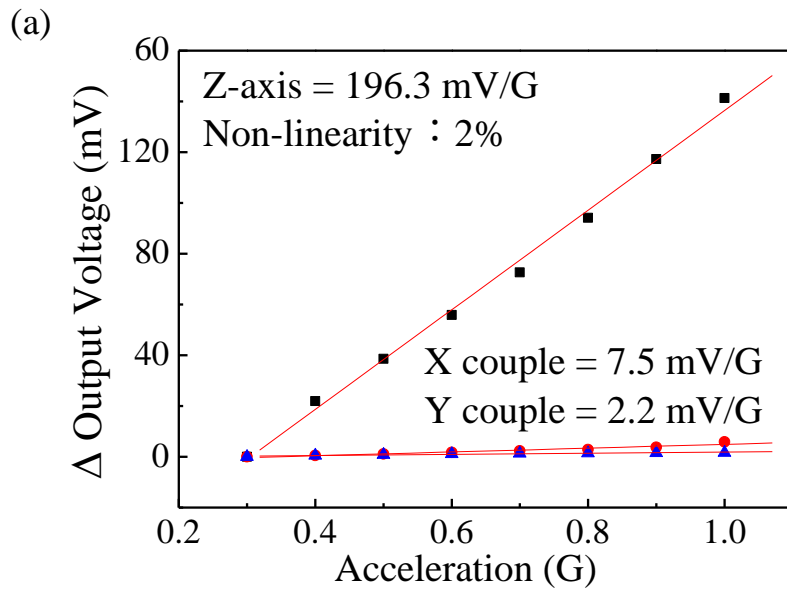


圖 3-12 加速度計初步量測結果(a)輸入加速度與輸出電壓之關係，及(b)量測加速
度之最小量測值

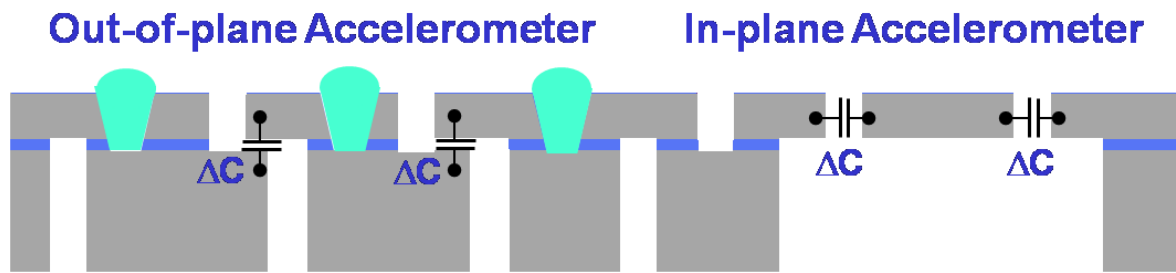


圖 3-13 以 SOI 晶片發展三軸方向加速度感測之製程平台



第四章 差分感測電極之單質量塊三軸加速度計

此研究提出以 SOI 晶片研製之新型差分感測電容電極之單質量塊三軸加速度計。此研究提出以氣密閉合之差分電極作為感測型態之三軸加速度計。此出平面加速度計有五個特色：(1)質量塊包含 SOI 晶片之元件層(device layer)以及處理層(handle layer)，因此提升質量而提高靈敏度；(2)量測之靈敏度因為氣密閉合的差分電極感測而增加；(3)透過多晶矽回填技術連接 SOI 晶片元件層以及處理層的電性；(4)由於感測電極的間距是 SOI 晶片中的氧化層決定，所以感測的間距可以被精準定義，且不受黃光製程的限制。(5)透過此三軸感測機制的架構，此加速度計元件在三軸方向皆是以氣密閉合的差分電極作為感測，且為單一質量塊感測三軸方向加速度元件的設計。透過設計與製造，初步的量測結果已驗證此單一質量塊三軸加速度計的可行性。



4-1 設計概念

此研究根據第三章所提出的新型出平面加速度計元件，進一步提出以單質量塊三軸加速度計元件之設計概念。如圖 4-1 所示，加速度計之基本結構與第三章所提出的出平面加速度計元件類似。結構上的不同之處有三項：(1) 透過點膠系統，以銀膠作為金屬連接的位置，在本章的設計中改以多晶矽陣列回填技術來取代。此設計概念可以使元件在製作上達到批量製造的能力。不需要後製程來個別對每個元件做點膠的製程，也使整個元件製造過程具備半導體製程相容性(CMOS process compatible)。(2) 質量塊在處理層的部分，不同於第三章所設計將處理層蝕刻變薄，目的將結構的第一模態運動行為，即感測方向的共振頻，與其他模態的頻率分開以避免非感測方向的加速度造成的耦合效應(decouple)。在此研究保留質量塊於處理層的部分，唯有蝕刻約 $10\mu\text{m}$ 的厚度給予質量塊運動空間。目的是使三軸加速度計元件的三個方向動態響應的頻率接近，進而設計三軸方向有相同靈敏度的元件。(3) 在感測電極處設計開孔來調整阻尼係數，以

提高元件操作的頻寬。如圖 4-1(a)所示，可以清楚的觀察到此研究所提出的多晶矽陣列回填電性連接設計，不論是質量塊的元件層以及處理層的連接，包括感測電極、元件的固定端皆有透過此研究所提出的多晶矽陣列回填技術。如圖 4-1(b)所示，為此三軸加速度計元件之後視圖，亦可以觀察到元件的質量塊可動電極、AA' 剖面方向的感測下電極、BB' 剖面方向感測上電極之支撐結構以及質量塊的固定端。此外也從圖中可以清楚的觀察到與第三章不同的質量塊厚度，本研究保持整個元件處理層厚度。此外，示意圖中質量塊厚度並沒有表示出蝕刻給予質量塊運動空間。

質量塊為可動電極，固定電極則設置於質量塊周圍。元件層所定義出的加速度計形狀由背後深蝕刻(backside etching)系統所定義出的溝槽分成五個區塊。中間質量塊與其四角之固定端以四根彈簧連接，形成一個獨立的電位作為可動電極；為了使由元件層以及處理層所組成的質量塊為一個相同電位，透過多晶矽陣列回填技術來連接下方處理層電性至上面元件層電性。周圍四個感測電極同樣是由背後深蝕刻系統將電性分別開來，每一個電極代表一個獨立的電位作為固定電極。每一個電極都透過多晶矽陣列回填技術來連接下方處理層電性與上面元件層電性。透過此設計的安排，可以定義出兩對上下電極作為出平面方向的氣密閉合差分電容感測電極之設計。如圖 4-2(a)所示，元件的側視圖顯示 AA' 剖面的可動電極與固定電極形成氣密閉合感測電極，此時可動電極為感測上電極而固定電極為感測下電極；如圖 4-2(b)所示，元件的側視圖顯示 BB' 剖面的可動電極與固定電極形成氣密閉合感測電極，此時可動電極為感測下電極而固定電極為感測上電極。

其圖 4-3 為圖 4-1 所示的 AB 側視圖，在此多晶矽陣列以單一的圖層來簡化表示。透過此側視圖可以與圖 4-1(a)相對應，圖中在兩端的電極中，左端電極為本研究所設計的感測下電極，右端電極為感測上電極。在出平面感測時，就如同 AB 側視圖所示，質量塊左端為可動上電極，右端為可動下電極。AA' 剖面中，質量塊所扮演的是可動上電極(COM)，感測電極則為固定下電極(Cin1)；BB' 剖面中，質量塊所扮演的是可動下電極(COM)，感測電極則為固定上電極(Cin2)。

當有出平面方向之慣性力施加於整個系統時，質量塊受到慣性力而有向下的運動產生，AA' 剖面的兩端電極(Cin1)與 BB' 剖面的兩端電極(Cin2)此時作為出平面方向感測的差分電極。

接下來說明在平面方向感測外加慣性力之原理。當有 X 方向之慣性力施加於整個系統時，質量塊受到慣性力而有向 X 方向的運動產生。其感測機制 AA' 剖面如圖 4-4(a)所示，在左端的感測下電極設為 Cxl，而右端的感測下電極設為 Cxr。由於質量中心並非於等效轉軸的位置，當有 X 方向的外加慣向力施加於系統時，加速度計元件因為慣性力而產生逆時針方向的旋轉。左邊的感測下電極產生一個 $+\Delta C$ 的訊號輸出，而右邊的感測下電極則產生一個 $-\Delta C$ 的訊號輸出。透過此感測機制，兩端的電極形成一個差分感測電容的設計。其差分感測機制如下：

$$Cxl' = Cxl + \Delta C, Cxr' = Cxr - \Delta C \quad (4-1)$$

此外， $Cxl = Cxr = C_0$ ， C_0 為感測電極之初始電容值。因此透過差分放大器之後，最後的電容訊號輸出為兩端電極所感測到的電容變化相減，因此可以得到：

$$\Delta Cx = |Cxl' - Cxr'| = 2\Delta C \quad (4-2)$$

同理，當有 Y 方向之慣性力施加於整個系統時，質量塊受到慣性力而有向 Y 方向的運動產生。其感測機制 BB' 剖面如圖 4-4(b)所示，在左端的感測電極設為 Cyl，而右端的感測電極設為 Cyr。由於質量中心並非於等效轉軸的位置，當有 Y 方向的外加慣向力施加於系統時，加速度計元件因為慣性力而產生逆時針方向的旋轉。左邊的感測電極產生一個 $-\Delta C$ 的訊號輸出，而右邊的感測電極則產生一個 $+\Delta C$ 的訊號輸出。透過此感測機制，兩端的電極形成一個差分感測電容的設計。其差分感測機制如下：

$$C_{yl}' = C_{yl} - \Delta C, C_{yr}' = C_{yr} + \Delta C \quad (4-3)$$

此外， $C_{yl} = C_{yr} = C_0$ ， C_0 為感測電極之初始電容值。因此透過差分放大器之後，最後的電容訊號輸出為兩端電極所感測到的電容變化相減，因此可以得到：

$$\Delta C_y = |C_{yl}' - C_{yr}'| = 2\Delta C \quad (4-4)$$

然而在平面加速度計感測的設計中，可動電極以及固定電極之間的運動行為不同於出平面加速度感測。出平面加速度感測的可動電極以及固定電極之間為平行電容板，以氣密閉合的方式來感測，且電極與電極之間為閉合方向的位移。然而平面加速度感測的設計，元件是依轉軸做逆時針或順時針方向旋轉來達到差分電容感測的設計，並不是閉合方向的位移，可以預期所感測到的電容變化會比閉合方向所產生的電容變化要小。以下對於此感測機制做初步的電容變化公式推導。

如圖 4-5 所示，以此簡化模型來計算當加速度計元件感受平面方向訊號時，差分電極感受到的電容變化輸出情形。假設以轉軸作為座標原點，電極分佈於結構兩端，轉軸力臂總長度為 L_2 ，電極的寬度為 W ，電極的分佈從 L_1 至 L_2 。在此假設加速度計元件受到外加慣性力所產生的位移為小位移。若加速度計元件受到平面加速度造成一個旋轉角 θ 以及電極邊緣的位移為 Δd ，此時 Δd 與 L_2 的關係為：

$$\Delta g = L_2 \theta \quad (4-5)$$

因此從上式可以定義旋轉角：

$$\theta = \frac{\Delta g}{L_2} \quad (4-6)$$

在推導電容變化輸出前，根據前述之假設，定義初始電容值：

$$C_0 = \frac{\varepsilon W (L_2 - L_1)}{g} \quad (4-7)$$

在 L 處 ($L_2 \geq L \geq L_1$) 因元件的旋轉的電容值為：

$$dC_L = \frac{\varepsilon W \cdot dL}{g - \frac{L}{L_2} \Delta g} \quad (4-8)$$

所以在 L 處的電容變化輸出為：

$$\Delta dC_L = \frac{\varepsilon W \cdot dL}{g - \frac{L}{L_2} \Delta g} - \frac{\varepsilon dA}{g} = \frac{\frac{L}{L_2} \Delta g \varepsilon W \cdot dL}{g \left(g - \frac{L}{L_2} \Delta g \right)} \quad (4-9)$$

(4-9)表示在 L 處 dL 線段所產生的電容變化的關係式，所以電極分佈 L_1 至 L_2 所產生的總電容變化，必須對 dL 作積分運算而求得總共的電容變化輸出為：

$$total \Delta C = \int_{L_1}^{L_2} d\Delta C_L = \frac{\Delta g \varepsilon W}{gL_2} \int_{L_1}^{L_2} \frac{L}{g - \frac{\Delta g}{L_2}} dL \quad (4-10)$$

從小位移假設，因慣性力所產生的位移量 Δd 遠小於電極長度 L_2 。於是(4-10)經過簡化後可以得到最終電容變化輸出為：

$$total \Delta C \cong \frac{\Delta g \varepsilon W}{gL_2} \int_{L_1}^{L_2} \frac{L}{g} dL = C_0 \frac{\Delta g}{g} \frac{L_1 + L_2}{2L_2} \quad (4-11)$$

最後經過差分電極設計後，最終的電容變化為：

$$2\Delta C \cong C_0 \frac{\Delta g}{g} \frac{L_1 + L_2}{L_2} \quad (4-12)$$

扭轉所得到的電容輸出變化，明顯比氣密閉和方向位移產生的電容變化小一個因子 $(L_1+L_2)/L_2$ 。因此透過此(4-12)可以計算因扭轉所產生的電容變化值。

三軸加速度計的初步設計結果如下：為了使三軸方向的動態頻率響應接近，選用的 SOI 晶片之元件層厚度為 10 μm 、氧化層厚度為 2 μm 、元件的尺寸初步定在 3.5 mm x 3.5 mm、元件的動態頻率響應設定小於 2 kHz。商用軟體 Coventorware 為針對微機電元件所設計的專用模擬軟體，此軟體可以計算加速度計元件的動態響應、初始電容值、因外加慣性力產生的電容變化值以及解耦合特性等等，皆可以透過 Coventorware 軟體來計算。本研究亦透過此軟體來模擬所提出的三軸加速度計設計，3D 模型如圖 4-6 所示，根據光罩的繪製實體，轉入而成此模型。可以清楚的觀察到元件質量塊、彈簧以及感測電極。此模型並未考慮到 SOI 晶片的氧化層，假設此氧化層對元件的特性影響不大而忽略。模擬分析結果如圖 4-7 所示，前三個模態分別為 Z 軸、X 軸以及 Y 軸方向，頻率響應分別為 1.645 kHz、1.653 kHz 以及 1.742 kHz。從模態的模擬結果推測當相同外加慣性力作用於三軸加速度計元件時，三軸方向所產生的位移會較接近。此外，透過質量塊的設計中，保留處理層作為質量塊的一部份，使得質量中心不在尺寸中心而成為一個偏心的質量塊，即所謂擺垂設計。由於透過擺垂的設計，使得三個方向運動的頻率響應因此而接近。

再來以 Coventorware 軟體來模擬三軸加速度計元件的靈敏度，在此靈敏度的定義為某方向施加一個重力加速度造成此方向電容值的改變量，單位為 fF/g。所以在模擬靈敏度前，必須先知道每個電極之間的初始電容值才能夠計算電容變化的輸出值。表 4-1 整理顯示，四個電極在初始狀態之電容值在 X 方向分別為 380.168fF 以及 377.462fF；Y 軸方向分別為 366.861fF 以及 365.745fF。初始電容個別在 X 方向以及 Y 方向的值並不相同，這是由於模擬的網格切割的密度不夠高，造成有數個 fF 的偏差值。若網格的密度更高雖然可以求得精準的電容值，不過由於受限電腦主機記憶體的限制，無法做更準確的計算。不過由此模擬的結果，仍可以得到初步的模擬結果。如表 4-2 所示，顯示分別於 X、Y 以及 Z 方向施加 1G 的外加慣性力時，四個感測電極的電容值。透過此模擬結果，就可以透過三軸加速度計差分電極的感測機制，分別將 X 方向、Y 方向以及 Z 方向的靈敏度計算出來。同樣的透過此模擬結果，解耦合的效能也可以透過此模擬的結果計算出來，如表 4-3 所示。

根據計算的結果，可以得知當外加慣性力作用於 X 方向時，在 X 方向產生的靈敏度為 15.877fF。然而同時在 Y 方向以及 Z 方向同樣也計算解耦合的特性，分別為 0.347fF 以及 0.218fF；同樣當外加慣性力作用於 Y 方向時，在 Y 方向產生的靈敏度為 13.831fF。然而同時在 X 方向以及 Z 方向同樣也計算解耦合的特性，分別為 0.125fF 以及 0.261fF；最後當外加慣性力作用於 Z 方向時，在 Z 方向產生的靈敏度為 41.308fF。然而同時在 X 方向以及 Y 方向同樣也計算解耦合的特性，分別為 0.251fF 以及 0.506fF。所以解耦合的特性在 X 感測方向中，Y 方向以及 Z 方向的解耦合分別為 0.787% 以及 1.578%；解耦合的特性在 Y 感測方向中，X 方向以及 Z 方向的解耦合分別為 2.51% 以及 3.658%；最後解耦合的特性在 Z 感測方向中，X 方向以及 Y 方向的解耦合分別為 0.527% 以及 0.633%。

從模擬的結果，首先在 Z 軸方向的靈敏度最大，主要原因有二：(1)因為感測機制的不同。在 Z 軸方向感測，如前述所提為氣密閉合方向的差分感測電極，不同於平面加速度感測的扭轉感測機制。(2)由於初始電容的不同。在 Z 軸方向感測電極的初始電容，分別為 X 方向的兩個感測電極的總和與 Y 方向的兩個感

測電極的總和做為差分感測電極，即 757.63fF 以及 732.606fF。由於初始電容大於平面加速度感測方向的初始電容，感測訊號在出平面方向同樣會大於平面方向的感測結果。此外，在 X 方向以及 Y 方向感測電極的初始電容並不對稱，此部分是由於在設計光罩的過程中，繪製上產生的誤差造成模擬的結果顯示初始電容的不對稱結果。

根據前述所提及之設計概念，歸納目前所設計初步的三軸加速度計有五個特點：(1) 本研究三軸加速度計的質量塊是由 SOI 晶片的元件層以及處理層所構成，使得元件的質量較大進而提升元件的靈敏度；(2) 本研究之感測電極為氣密閉合差分電容感測電極，相較於面積改變的電容感測電極設計，提升元件的靈敏度；(3) 本研究所提出的多晶矽陣列連接 SOI 晶片之元件層以及處理層電性設計，除了預期可減小元件的寄生電容之外，也提出一個較簡單電性連接的設計，且可以在製造過程中實現批量製造的概念；(4) 此元件感測電極之間隙是由 SOI 晶片初始的氧化層夾層厚度所決定，並非由黃光顯影的極限所決定，因此間隙可以被精準的定義，不受製程上的限制；(5) 透過此三軸感測機制的架構，此加速度計元件在三軸方向皆是以氣密閉合的差分電極作為感測，且為單一質量塊感測三軸方向加速度元件的設計。

4-2 製程設計與結果

製程步驟如圖 4-8 所示，此製程以 10 μ m 元件層厚度之 SOI 晶片為基材，所選用 SOI 晶片規格如表 4-4 所示，整個製程總共需要四道光罩。以成長熱氧化層 1 μ m 作為後面深蝕刻系統(Deep RIE)的遮罩開始，第一道光罩定義多晶矽陣列連接 SOI 晶片之元件層以及處理層電性設計的位置，並以 RIE 去除氧化層。接著以深蝕刻系統(Deep RIE)將所露出 SOI 晶片之元件層單晶矽去除，再以 BOE 蝕刻液將 SOI 晶片之氧化層夾層去除，露出 SOI 晶片之處理層作為往後電性連接之開孔，如圖 4-8(a)所示。透過低壓化學氣相沈積系統(LPCVD)沈積多晶矽將所開支孔洞填滿，此製程步驟稱為多晶矽回填技術(Poly-Si refill technology)，如圖

4-8(b)所示。由於多晶矽陣列開孔大小為 $3\mu\text{m}$ ，若以多晶矽先將開孔填滿再進行磷參雜提高導電性，磷無法從晶圓的表面擴散至孔洞內的多晶矽(元件層的厚度為 $10\mu\text{m}$ ，所以多晶矽回填厚度也為 $10\mu\text{m}$)，會使得在孔洞內連接電性的多晶矽阻值過高而無法導通。所以在多晶矽回填技術中，必須先沈積一定厚度下，進行第一次的磷參雜先行將磷擴散於開孔中的多晶矽，再進行第二次的多晶矽沈積，填滿後再進行第二次的磷參雜製程，使得整個多晶矽都可以透過磷參雜降低阻值。在本實驗中，先沈積 500nm 的多晶矽，進行第一次的磷參雜製程，將孔洞填滿再進行第二次的磷參雜。如圖 4-8(c)所示，接著以一開始的熱氧化層作為蝕刻遮罩，透過深蝕刻系統將晶圓表面的多晶矽去除，進行第二道光罩的黃光製程。如圖 4-8(d)所示，透過 PECVD 沈積氧化層 500nm 作為多晶矽回填處之遮罩，第二道黃光用以定義加速度計平面的幾何形狀，並以 RIE 去除氧化層。此時正面製程已經完成，接下來是背面的製程步驟。不同於第三章所用光阻與氧化層組合的自對準技術，此製程只採用鉻金屬作為蝕刻遮罩。原本三軸加速度計的質量塊設計上欲保留處理層整個厚度，但是考量三軸加速度計的運動空間以及製程設計上的簡便性，這次實驗中採取將質量塊的處理層厚度稍微蝕刻約 $10\mu\text{m}$ 的厚度，給予三軸加速度計有足夠的扭轉空間，以避免因為慣性力施加於系統而造成元件接觸到底面。基於此設計上的考量，如圖 4-8(e)所示，以第三道光罩定義三軸加速度計背面的電性絕緣溝槽以及質量塊的位置，透過深蝕刻將處理層移除約 $10\mu\text{m}$ 。此時三軸加速度計之運動空間被定義出來。在晶片背後先進行 200nm 鉻金屬的濺鍍製程(sputter)，以第四道光罩定義電性絕緣溝槽，透過鉻蝕刻液將溝槽位置上的鉻去除，以深蝕刻系統將所露出處理層的矽基材去除停在 SOI 晶片的氧化層夾層，此時背後的電性絕緣區域以及質量塊已經被定義出來，如圖 4-8(f)所示。以深蝕刻將氧化層定義的正面加速度計元件形狀，將元件層去除如圖 4-8(g)所示。在元件懸浮的製程，此實驗採用蒸汽氫氟酸(vapor HF)來懸浮結構來避免元件黏附，如圖 4-8(h)所示。

本章節所提出的三軸加速度計設計以元件層 $10\mu\text{m}$ 厚的 SOI 晶片並透過設計的製程加以實現。圖 4-9(a)為透過電子顯微鏡(SEM)，觀察出三軸加速度計的製

造初步結果，可以明顯的觀察出元件的質量塊、四組彈簧以及金屬打線的結果。質量塊與感測電極所形成的差分電容電極設計，從圖中的標示可以清楚的觀察。圖 4-9(b)為三軸加速度計之後視圖，質量塊運動空間、感測下電極以及支撐結構可以從圖中觀察到。為了加大加速度計元件之操作頻寬以及避免元件在懸浮過程中造成黏附，在電極位置有加上阻尼開孔(damping holes)之設計。如圖 4-10(a)所示為差分電極局部放大圖，可以看見下方的差分電極為可動上電極與固定下電極所組成的感測機制，而左方的差分電極為可動下電極與固定上電極所組成的感測機制。此外，多晶矽回填技術所構成的電性連接陣列以及阻尼開孔也可以從此電子顯微鏡圖形中觀察到。圖 4-10(b)與(c)進一步分別將圖 4-10(a)的兩個感測電極放大觀察。如圖 4-10(b)所示，為可動上電極與固定下電極所組成的差分電容電極設計。如圖 4-10(c)所示，為可動下電極與固定上電極所組成的差分電容電極設計。感測間隙亦標示在圖 4-10(c)中，此間隙為 SOI 晶片氧化層夾層所決定，未受到黃光製程上的限制，於是間隙可以精準的被定義。



4-3 元件封裝與量測

圖 4-11 為三軸加速度計元件的打線封裝於陶瓷基板之結果。此實驗量測不同於第三章所使用的萬用板以及具有屏蔽導線所製做而成的量測基板，會造成在振動機上量測時，因為振動機帶拉扯線焊接處而造成訊號的不穩定。如圖 4-12 所示，此實驗使用 SMA 接頭固定於 PCB 板將訊號輸出，此 SMA 接頭是一種具有屏蔽效果的轉接頭，此轉接頭可以避免振動機拉扯焊接處的問題。再透過 SMA/BNC 轉接頭將訊號送至 MS3110 電路讀取訊號。量測架構如圖 2-13 所示，以訊號功能產生機透過控制器操作商用振動機提供三軸加速度計元件所需的加速度外力，然後以商用的感測電路將三軸加速度計元件的感測電極因受到加速度外力所產生的電容變化轉化成電壓變化輸出。

為了訊號的穩定性，本實驗將振動機放置於光學吸振桌上，使振動機所輸出穩定的慣性力。同樣的，透過訊號產生器來控制振動機所輸出的慣性力。當加

速度計感受到外加慣性力，元件位移而產生電容變化輸出，再經過感測電路將電容變化轉換成電壓輸出。如圖 4-13 所示，為三軸加速度計量測平面方向的架設，透過 L 型支架將元件在垂直方向立起來來感測 X 方向以及 Y 方向，BNC/SMA 轉接頭亦可以清楚的觀察到。如圖 4-14 所示為三軸加速度計量測出平面方向的架設，將元件直接架設於振動機平板上。此外，以壓電加速規作為振動機所輸出的慣性力參考感測器，來控制振動機所給予加速度計元件的外加慣性力在圖中亦可以清楚觀察到。如圖 4-15 所示，為商用電路 MS3110 的架設圖，有屏蔽效應的訊號線在圖中可以看到訊號線的接地接至感測電路的地端，確保訊號共地不會互相干擾。

初步的三軸加速度感測訊號如圖 4-16 所示，在 2G 的量測範圍內，X 方向的靈敏度為 9.56mV/G，Y 方向的靈敏度為 6.96mV/G 以及 Z 方向的靈敏度為 14.51mV/G。由量測結果也證實 Z 軸方向的靈敏度較平面方向的大，主要原因即初始感測電容值以及氣密閉合方向的差分電極之故。初步解耦合的量測表示如下，由於架設上誤差目前無法避免，此研究所量測的解耦合特性還有待再改進。X 方向的解耦合量測結果如圖 4-17 所示，在 Y 方向以及 Z 方向的解耦合分別為 8.67% 以及 49.27%。Y 方向解耦合量測結果如圖 4-18 所示，在 X 方向以及 Z 方向的解耦合分別為 10.07% 以及 47.44%。Z 方向解耦合量測結果如圖 4-19 所示，在 X 方向以及 Y 方向的解耦合分別為 16.69% 以及 9.63%。從量測結果中，X 以及 Y 感測方向量測結果顯示，在出平面方向的解耦合能力較差，主要原因有二：(1) 因元件封裝而造成感測間隙的不對稱，(2) 因製程變異造成感測面積的不對稱。如圖 4-20(a) 以及 (b) 所示，在 X 以及方向的感測電極中，設計的電極寬度應為 100 μ m。然而從實驗的結果觀察，電極的寬度在 X 方向分別為 89 μ m 以及 98.9 μ m。如圖 4-20(b) 以及 (c) 所示，在 Y 方向約為 85 μ m。當感測電極產生不對稱，當出平面方向慣性力施加於系統時，兩邊所產生的電容變化不一致，而無法有效的經過差分電容電路而抵銷，反而會有訊號的輸出。加上感測電極亦是差分電容形式，解耦合方向的訊號因此而放大輸出。

假設封裝過程造成感測間距的變異量為 X，則兩邊的初始電容將改變如下所

示：

$$C_{0+} = \frac{\varepsilon A}{g - X}; C_{0-} = \frac{\varepsilon A}{g + X} \quad (4-11)$$

假設此時元件因受到外加慣性力而產生一位移量 Δg ，兩端電極所感測到的電容變化分別為：

$$\Delta C_{0+} = \frac{\varepsilon A}{g - X} \frac{\Delta g}{g - X}; \Delta C_{0-} = \frac{\varepsilon A}{g + X} \frac{\Delta g}{g + X} \quad (4-12)$$

因此透過差分電容會產生一電容變化輸出：

$$\Delta C = \varepsilon A \Delta g \left[\frac{1}{(g - X)^2} - \frac{1}{(g + X)^2} \right] \quad (4-13)$$

同樣的，假設因製程的變異量造成感測面積的變異量為 ΔA ，兩端電極所感測到的電容變化分別為：

$$C_{0+} = \frac{\varepsilon (A + \Delta A)}{g}; C_{0-} = \frac{\varepsilon (A - \Delta A)}{g} \quad (4-14)$$

假設此時元件因受到外加慣性力而同樣產生一位移量 Δg ，兩端電極所感測到的電容變化分別為：

$$\Delta C_{0+} = \frac{\varepsilon (A + \Delta A)}{g} \frac{\Delta g}{g}; \Delta C_{0-} = \frac{\varepsilon (A - \Delta A)}{g} \frac{\Delta g}{g} \quad (4-15)$$

因此透過差分電容會產生一電容變化輸出：

$$\Delta C = C_0 \frac{\Delta g}{g} \frac{2\Delta A}{A} \quad (4-16)$$

因此，上述兩種造成兩端感測電極的不對稱原因，透過差分感測電極都會產生不預期之電容變化輸出。截至目前，實驗結果初步可以驗證此差分感測電極之單質量塊三軸加速度計的可行性。其三軸方向感測的特性整理於如表 4-5 所示。

4-4 結論

從第二章所提出的一般型態平面加速度計元件以及第三章所提出的新型態出平面加速度計元件，在同一個製程中可以同時研製平面加速度計元件以及出平面加速度計元件成為一個三軸加速度計感測系統的架構。在本章節的研究結果再提出單一質量塊構成三軸加速度計之製程平台概念。此製程平台的架構如圖 4-8 所示，透過多晶矽回填技術連接 SOI 晶片之元件層以及處理層的電性，使此製程更具批量製造的能力。

此研究成功提出以 SOI 晶片研製之新型態出平面（Z 軸）電容式加速度計之後，更提出以此架構發展差分感測電極之單質量塊三軸加速度計。此三軸加速度計設計皆以氣密閉合之差分電極作為感測型態。透過多晶矽回填技術連接 SOI 晶片元件層以及處理層的電性；感測電極的間距是 SOI 晶片中的氧化層精準定義。透過設計與製造，初步的量測已經驗證此三軸加速度計元件的可行性，靈敏度在 X、Y 以及 Z 方向分別為 9.56mV/G、6.96mV/G 以及 14.51mV/G。

表 4-1 三軸加速度計電容變化模擬結果 (單位：fF)

	Exp	Exn	Eyp	Eyn
Initial capacitance	380.168	377.462	366.861	365.745
X-1G	372.382	385.554	366.952	365.780
Y-1G	380.362	377.308	374.050	359.102
Z-1G	390.789	387.866	356.589	355.734

表 4-2 三軸加速度計靈敏度模擬結果 (單位：fF)

	$\Delta C(\text{X-direction})$	$\Delta C(\text{Y-direction})$	$\Delta C(\text{Z-direction})$
X-1G	15.877	0.125	0.251
Y-1G	0.347	13.831	0.506
Z-1G	0.218	0.261	41.308

表 4-3 三軸加速度計解耦合模擬結果

	Cross-axis(X)	Cross-axis(Y)	Cross-axis(Z)
X-1G	100%	0.787%	1.578%
Y-1G	2.51%	100%	3.658%
Z-1G	0.527%	0.633%	100%

表 4-4 三軸加速度計選用之 SOI 晶片規格

The specifications of the SOI wafer	
Device layer thickness	10 μm
Device layer resistivity	0.005-0.015 ohm-cm
Handle layer thickness	400 μm
Handle layer resistivity	0.005-0.015 ohm-cm
Buried-oxide thickness	2 μm



表 4-5 初步三軸加速度計感測特性

3-axis accelerometer measurement results	
Bandwidth (Hz)	400
Operation range (G)	2
X-axis Sensitivity (mV/G)	9.56
Y-axis Sensitivity (mV/G)	6.96
Z-axis Sensitivity (mV/G)	14.51
Noise floor (mG / rtHz)	<1.221

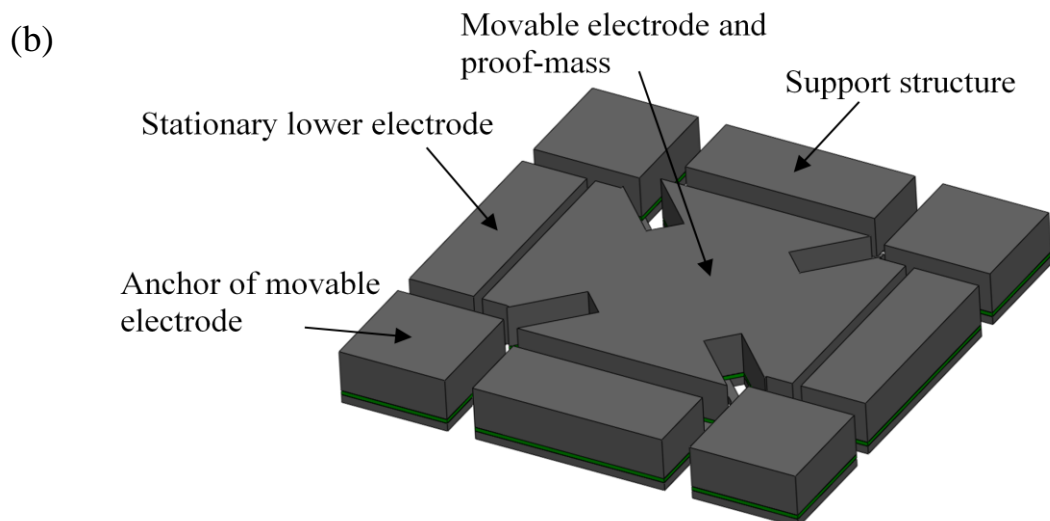
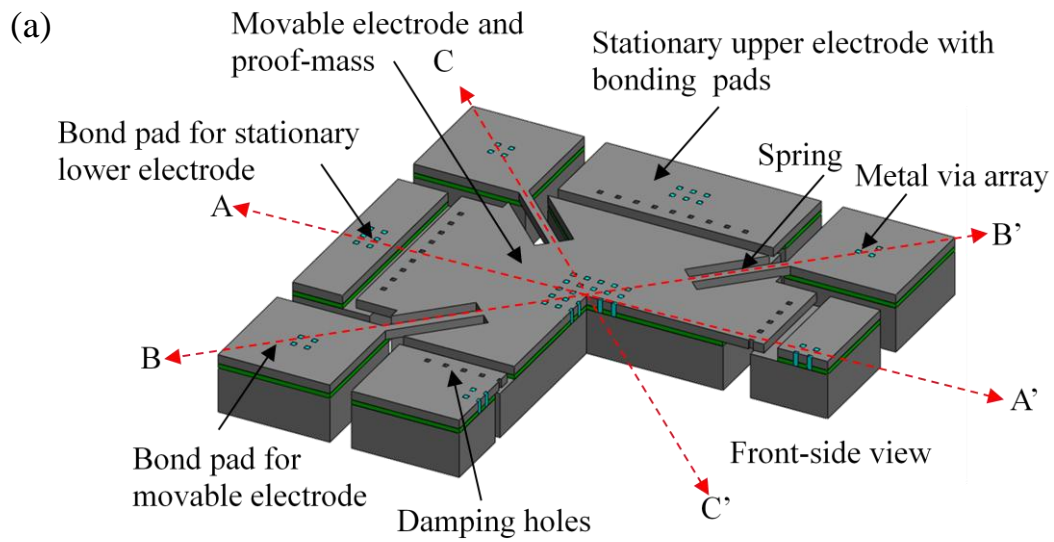


圖 4-1 單質量塊三軸加速度計元件之設計概念 (a) 正視圖以及(b)後視圖

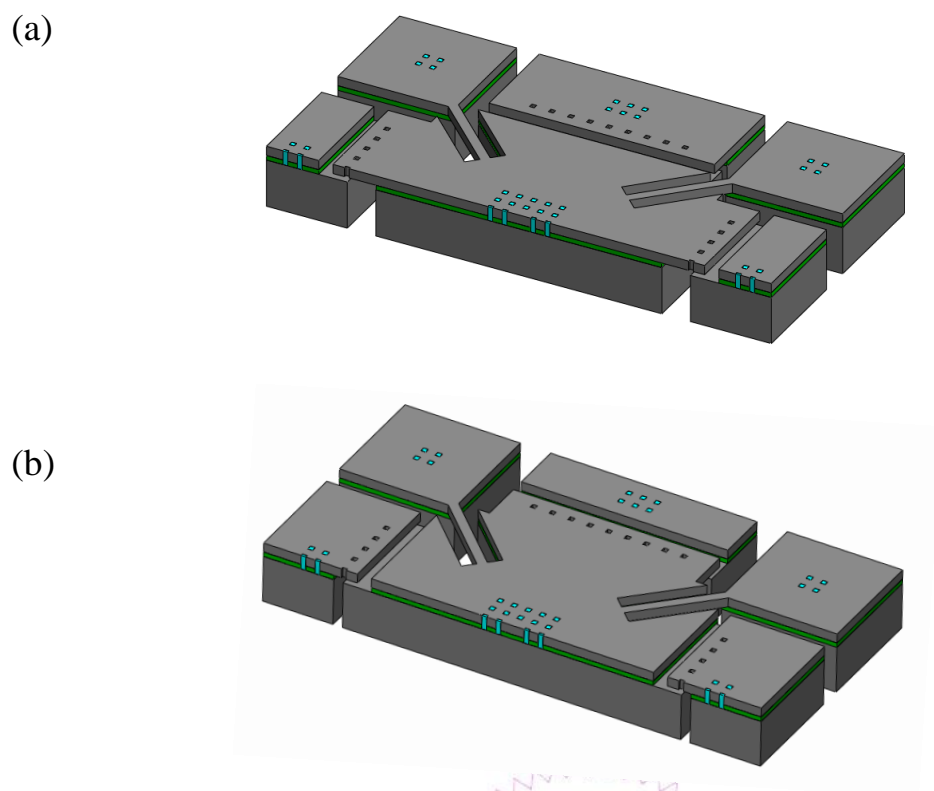


圖 4-2 三軸加速度計示意圖之(a) AA'剖面圖以及(b)BB'剖面圖

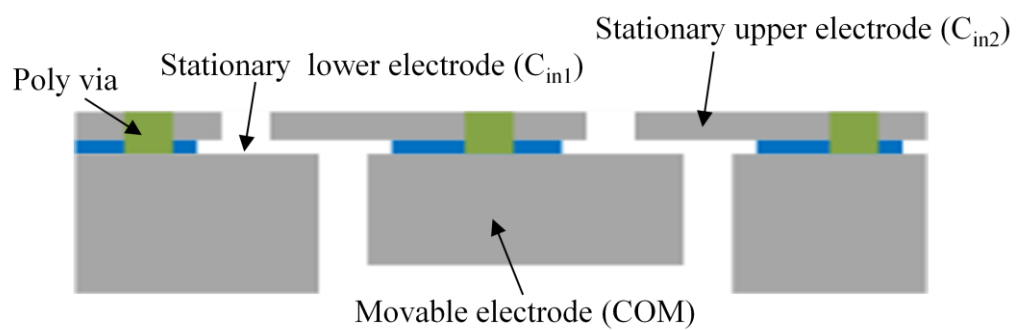


圖 4-3 三軸加速度計之 AB 剖面示意圖

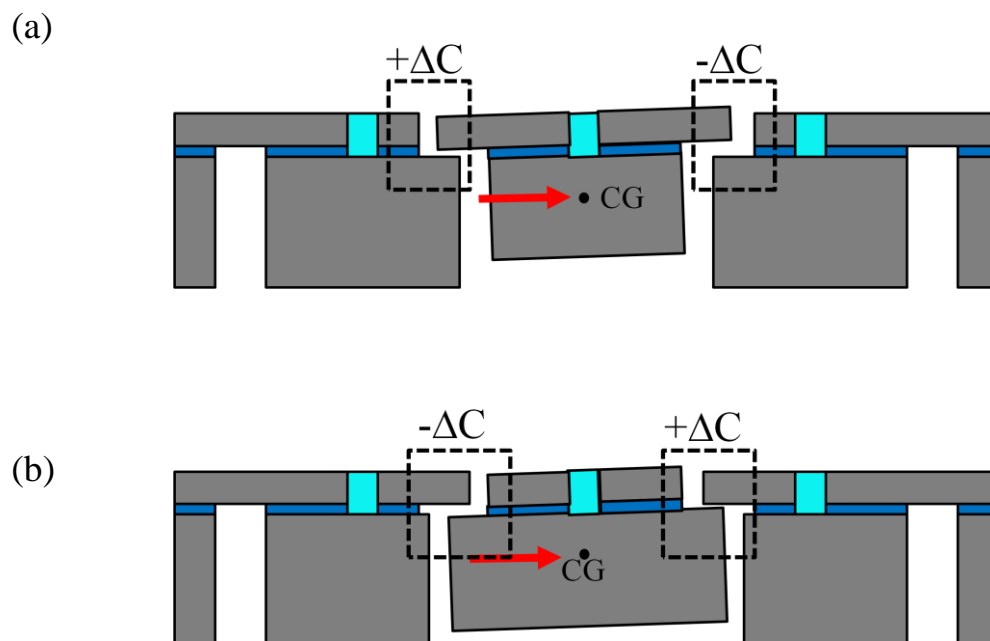


圖 4-4 三軸加速度計平面感測示意圖之(a) AA'剖面圖以及(b)BB'剖面圖

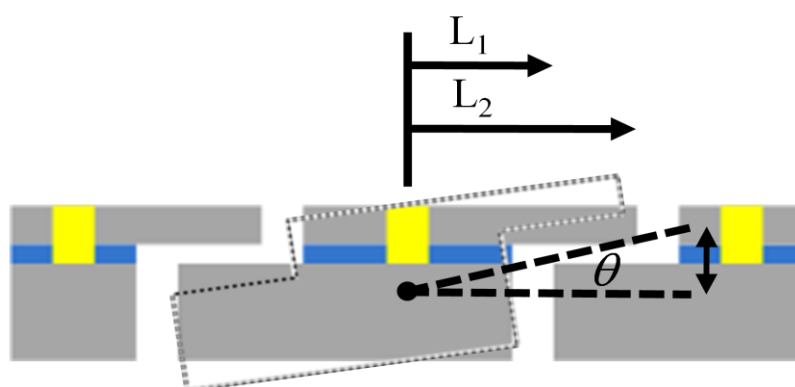


圖 4-5 計算當加速度計元件扭轉運動的差分電極之電容變化輸出

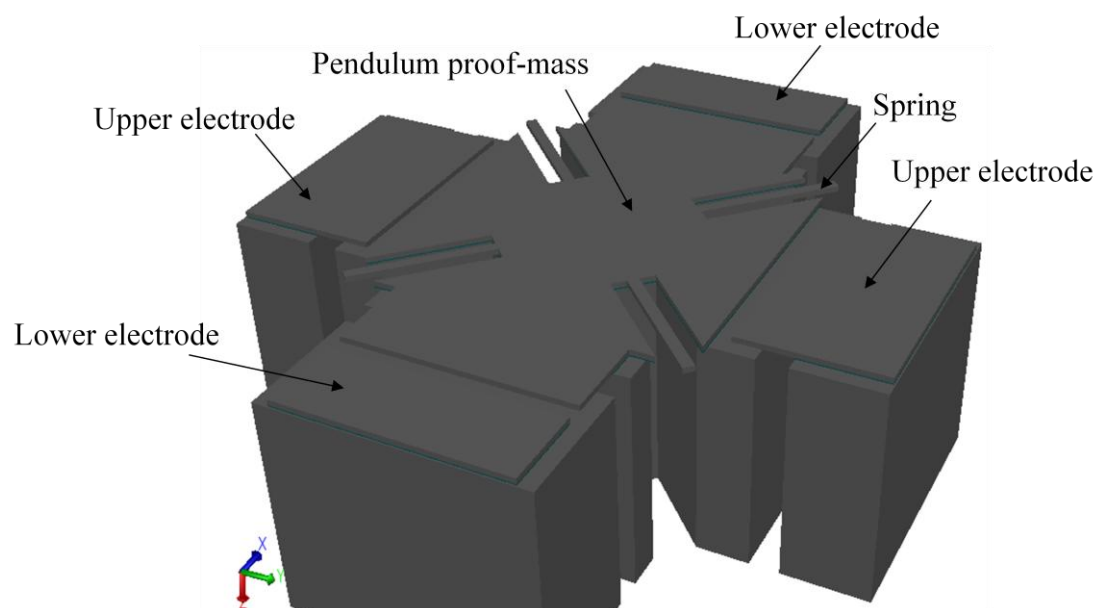


圖 4-6 三軸加速度計元件之 Coventorware 3D 模型



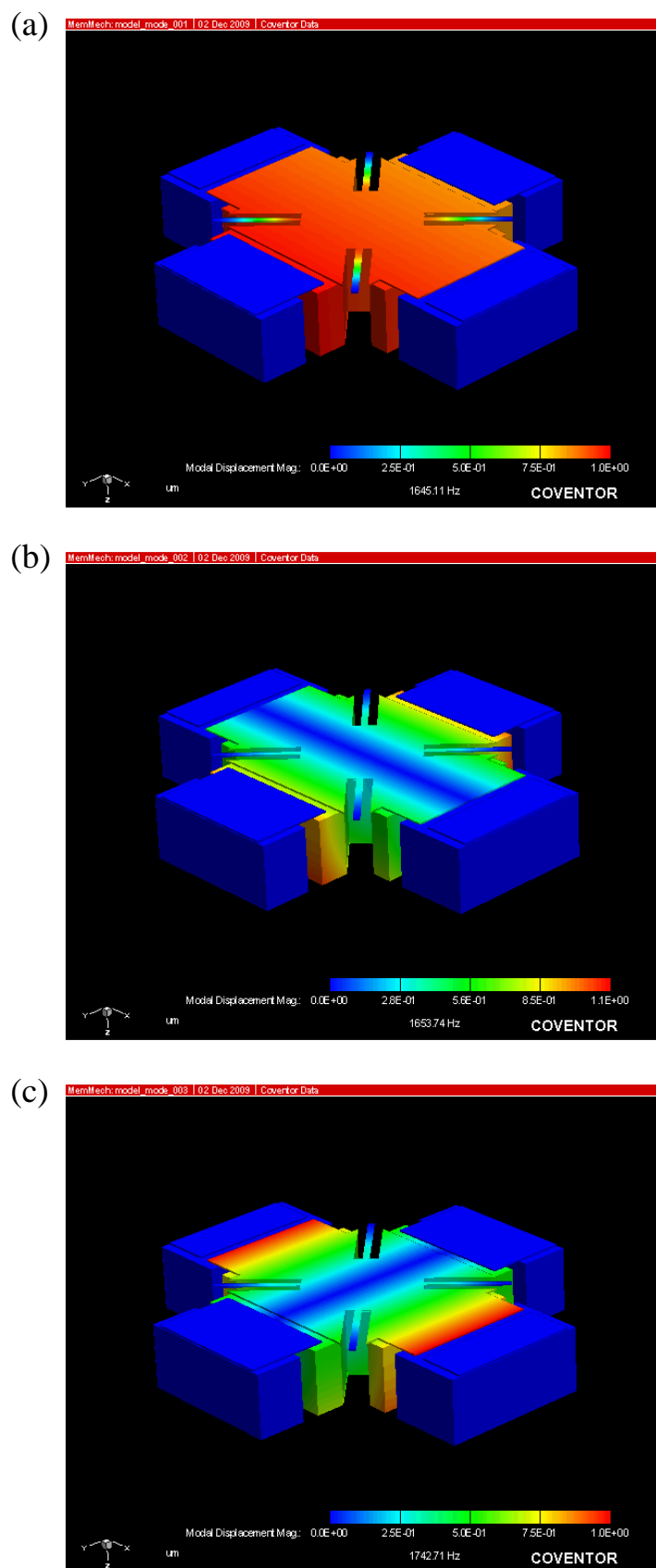


圖 4-7 三軸加速度計之前三個模態,(a) Z 軸模態(1.645kHz),(b)X 軸模態(1.653kHz)
以及(c)Y 軸模態(1.742kHz)

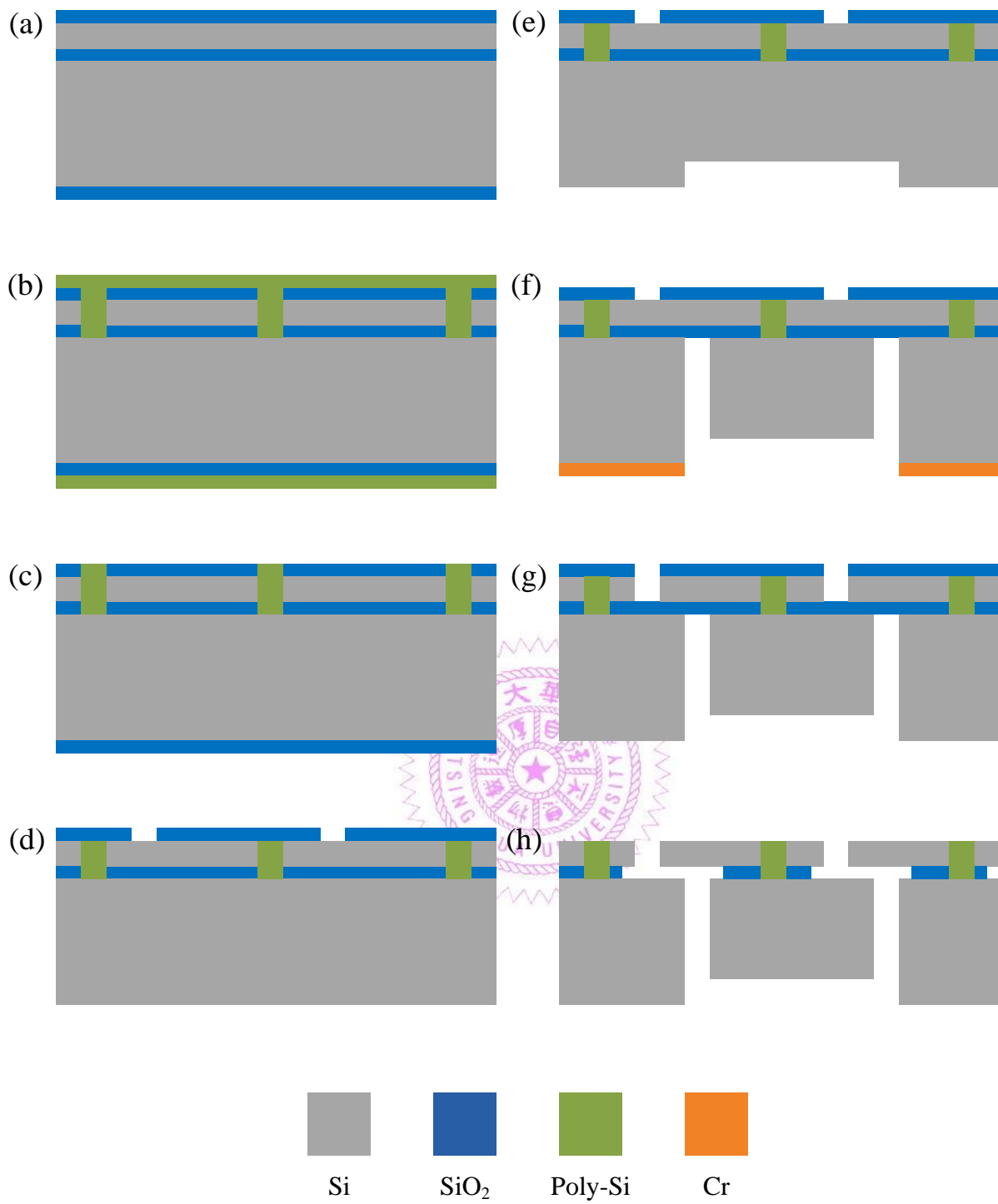


圖 4-8 三軸加速度計之製程步驟

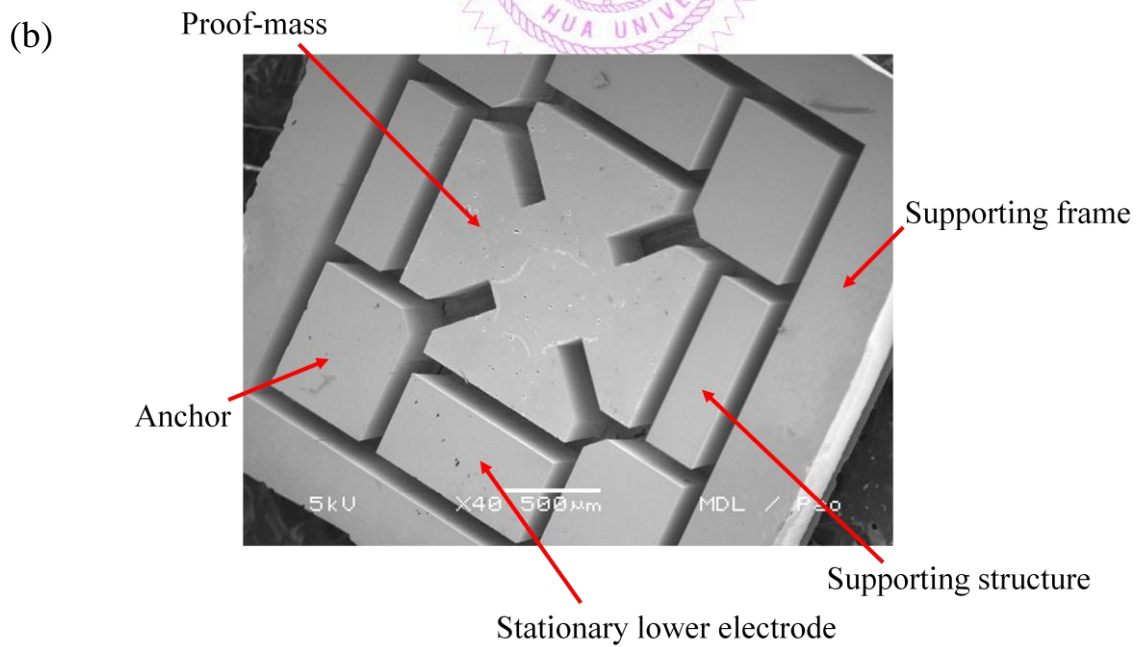
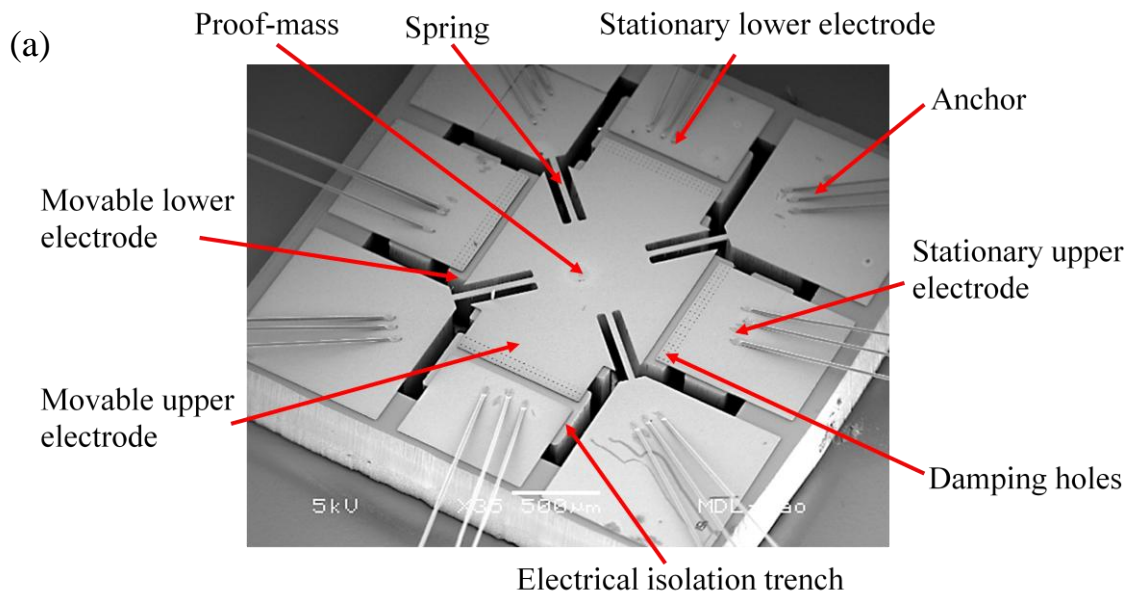


圖 4-9 三軸加速度計之電子顯微鏡(a)正視圖以及(b)後視圖

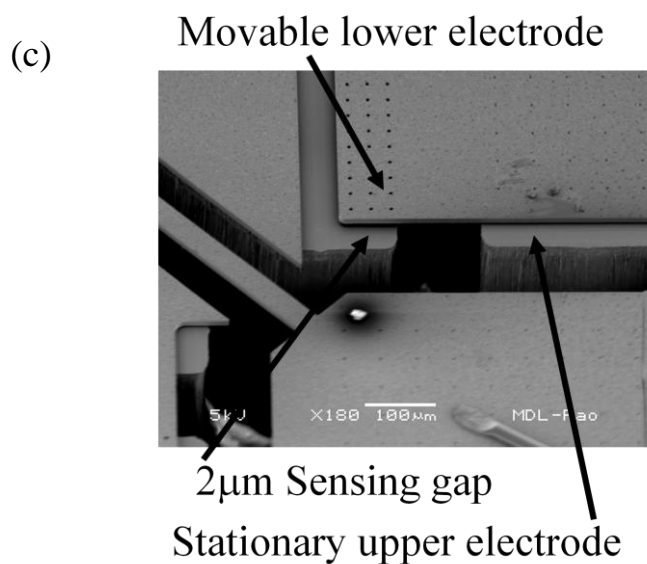
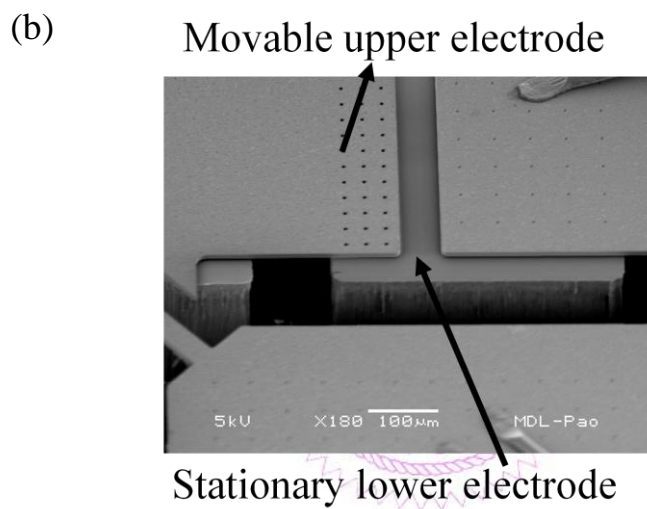
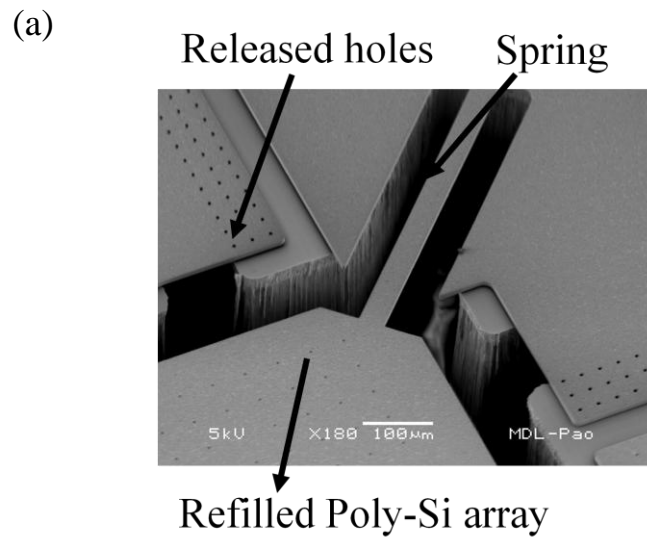


圖 4-10 三軸加速度計之(a)差分電極、(b)可動上電極與固定下電極以及(c)可動下電極與固定上電極所組成的差分電容電極設計

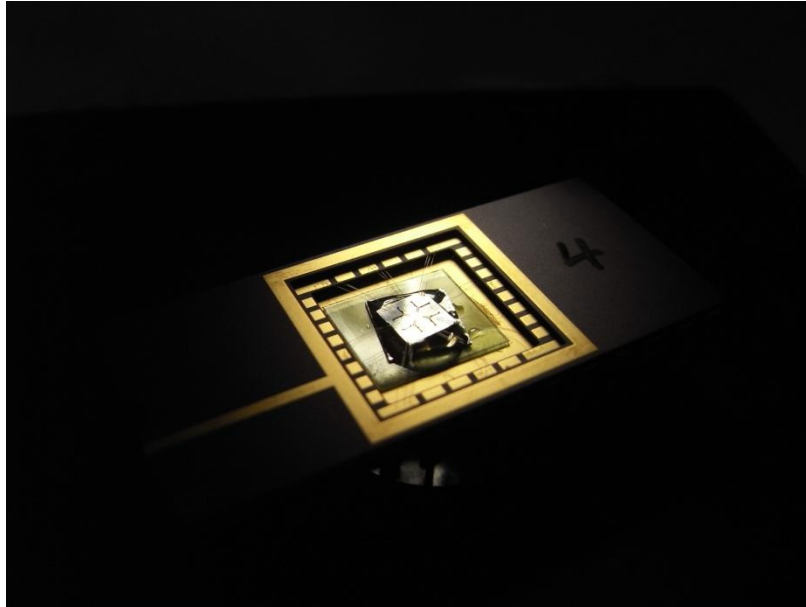


圖 4-11 三軸加速度計元件的打線封裝於陶瓷基板之結果

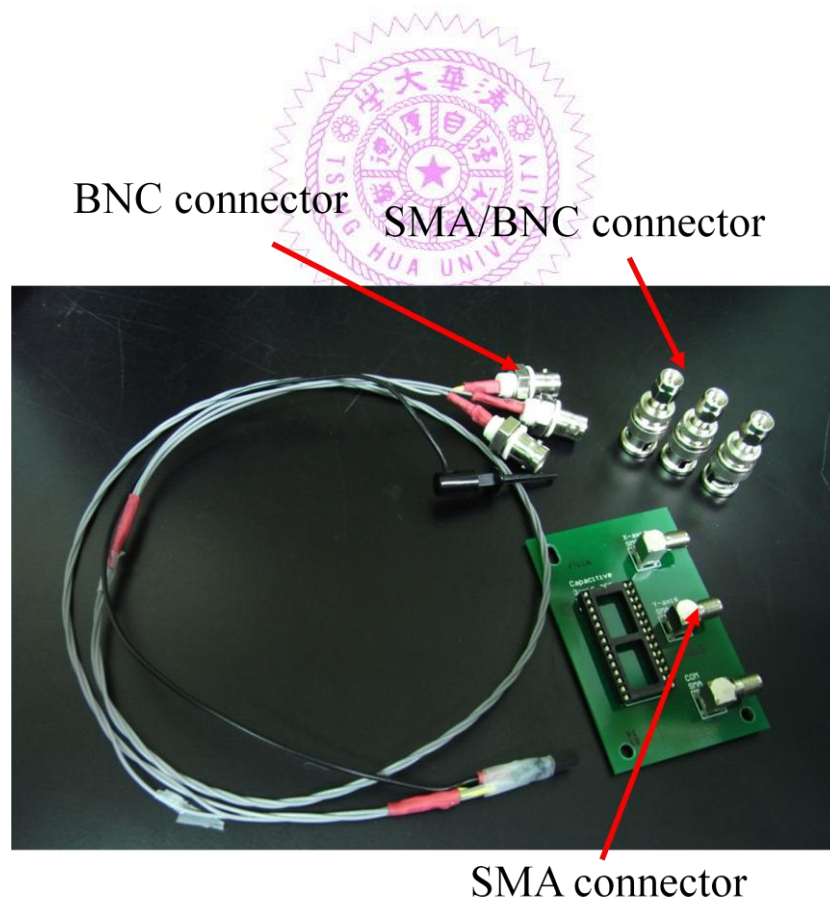
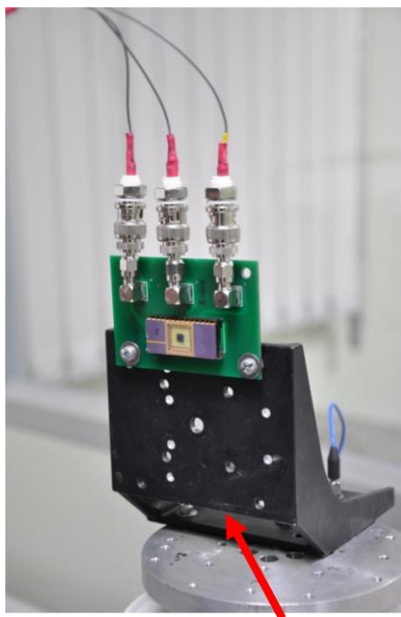


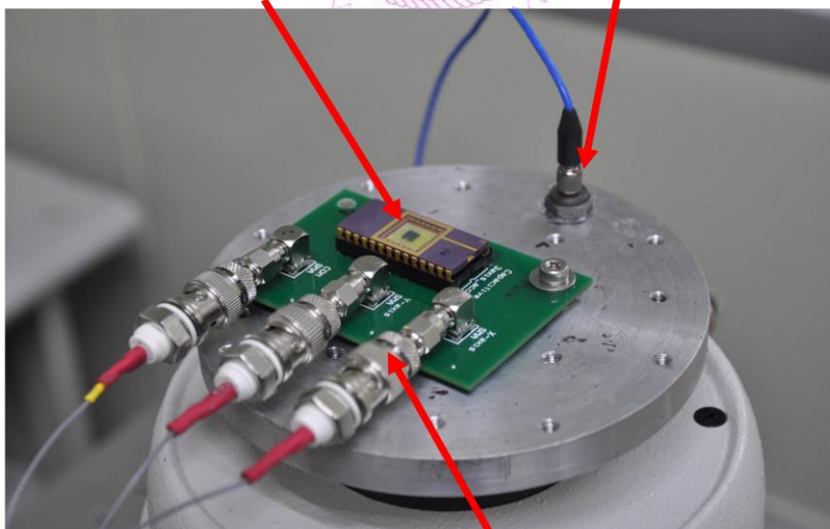
圖 4-12 三軸加速度計量測所用之具有屏蔽導線訊號板



L-shape holder

圖 4-13 三軸加速度計量測平面方向的架設

Present 3-axis accelerometer Piezoelectric reference



BNC connection (shielding)

圖 4-14 三軸加速度計量測出平面方向的架設

Shielding ground pad

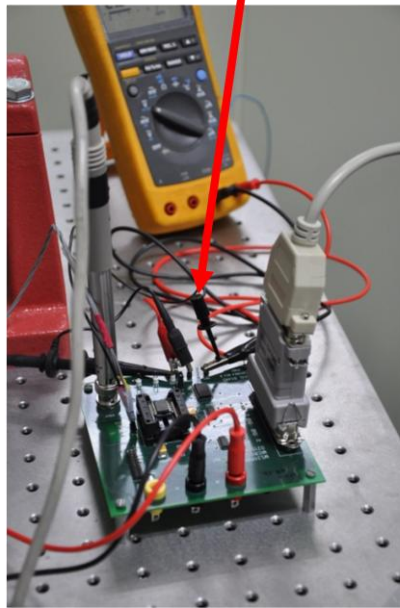


圖 4-15 商用電路 MS3110 的架設圖



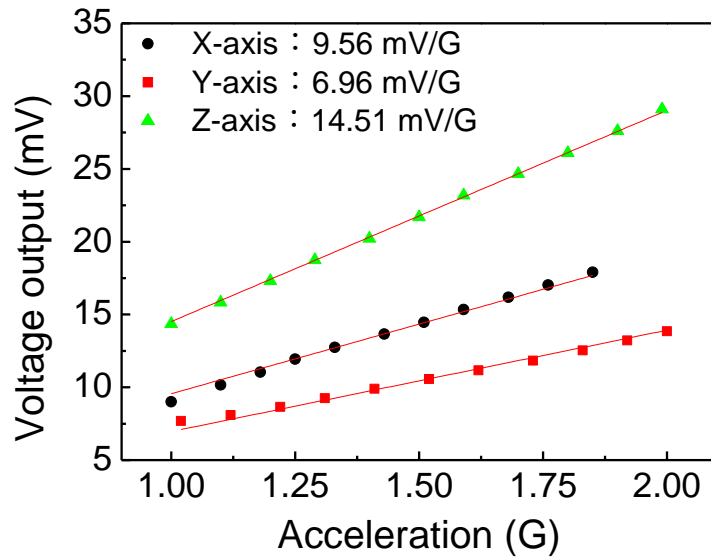


圖 4-16 初步的三軸加速度感測訊號



X-axis

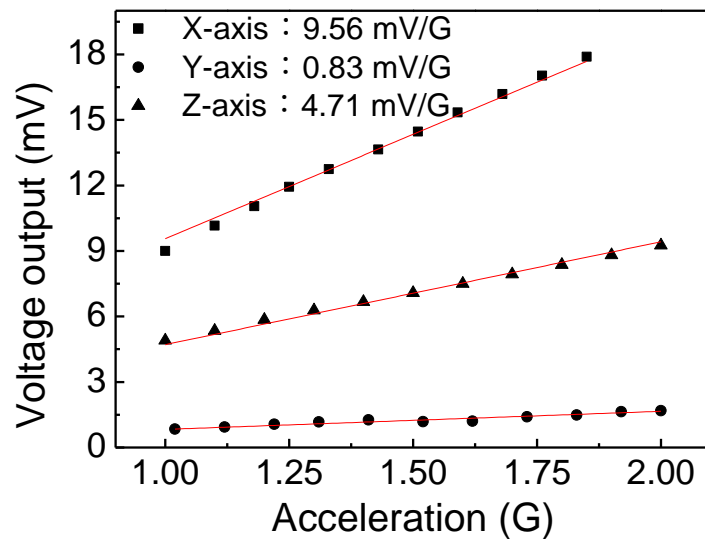


圖 4-17 三軸加速度計 X 方向的解耦合量測結果

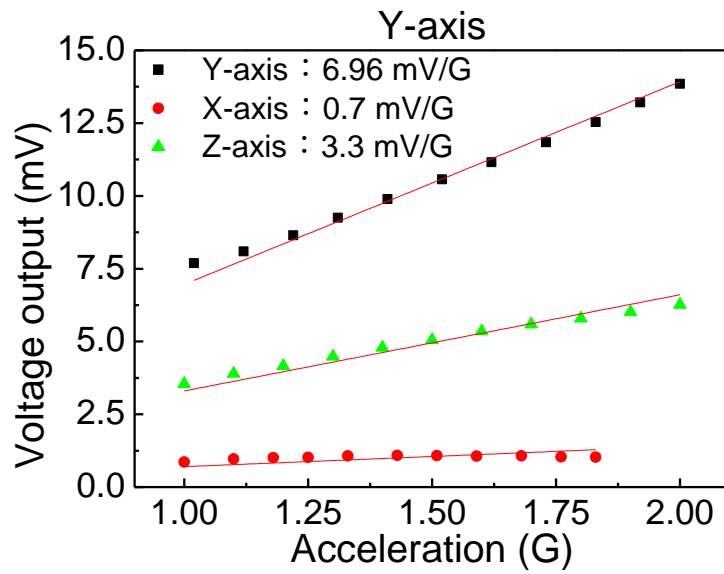


圖 4-18 三軸加速度計 Y 方向的解耦合量測結果

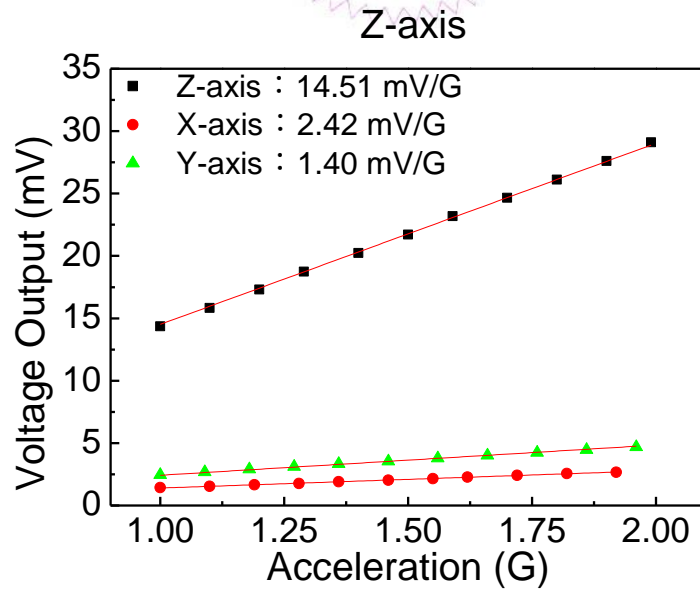


圖 4-19 三軸加速度計 Z 方向的解耦合量測結果

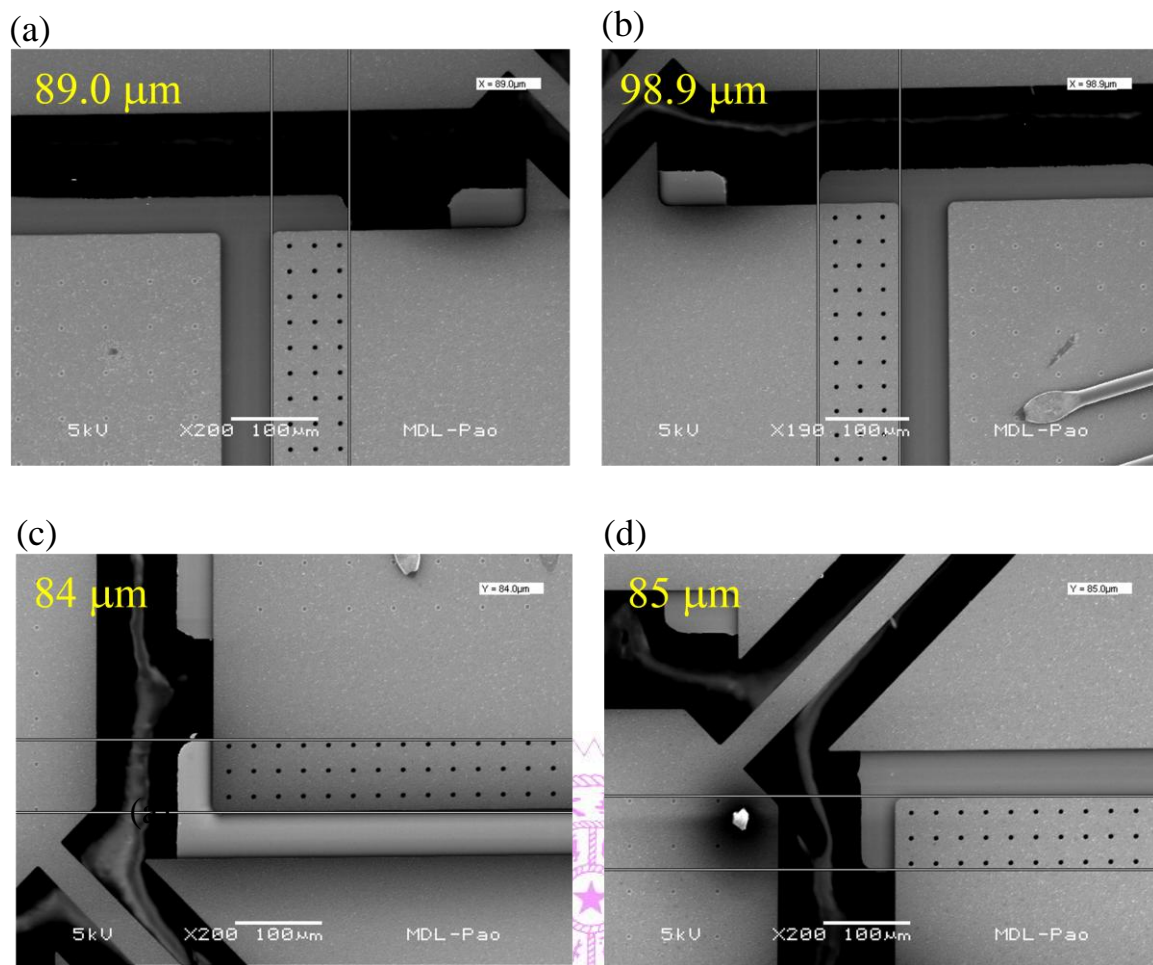


圖 4-20 X 方向(a)左邊電極以及(b)右邊電極寬度量測；Y 方向(c)上邊電極以及(d)下邊電極寬度量測

第五章 總結

5-1 研究成果

本研究主要以 SOI 晶片為主做加速度計元件的開發與設計，並透過製程的設計將元件製作出來，加以量測驗證加速度計元件的可行性。以 SOI 晶片製造加速度計，在平面感測的型態與先前面型加工的方式相似，以兩對梳狀電極的設計作為差分電容感測電極，來感測平面方向的加速度外力。SOI 晶片的優點為製程簡單，因為元件的結構透過晶片的製作已經定義好，不需額外的製程來沈積結構層，而且厚度方向可以依使用者的設計來研製。然而也因為 SOI 晶片的緣故，在出平面方向的感測則面臨挑戰，因為 SOI 晶片無法輕易提供出平面方向差分電極之設計。

本研究首先以 SOI 晶片為主，製作一般型態的平面加速度計為開始，從元件的設計、模擬、製程以及量測，對於加速度計元件做基本特性的量測。接著以 SOI 晶片設計出平面方向感測的架構，在出平面方向感測部分不同於先前的設計，提出以氣密閉合的差分電極來感測出平面方向的加速度訊號。此設計結合 SOI 晶片的元件層以及處理層，以 SOI 晶片的氧化層夾層作為感測間隙。其加速度計元件主要有四個特點：(1)質量塊是由 SOI 晶片的元件層以及處理層所構成，進而提升元件的靈敏度；(2)感測電極為氣密閉合差分電容感測電極，亦可以提升元件的靈敏度；(3)金屬連接(metal-via)SOI 晶片之元件層以及處理層設計，除了預期可減小元件的寄生電容之外，也提出一個較簡單電性連接的設計；(4)間隙是由 SOI 晶片初始的氧化層夾層厚度所決定，並非由黃光顯影的極限所決定，因此間隙可以被精準的被定義，不受製程上的限制。

最後以出平面加速度計的設計概念，進而提出差分感測電極之單質量塊三軸加速度計。此設計在結構上與出平面加速度計不同之處有三：(1) 以多晶矽陣列回填技術來取代銀膠，以達到批量製作的概念。(2) 質量塊在處理層的部分保留處理層的厚度來達到三軸感測的目的。(3) 感測電極處設計開孔來調整阻尼係數，

以提高元件操作的頻寬。總結而言，以三軸加速度計主要有五個特點：(1)質量塊是由 SOI 晶片的元件層以及處理層所構成，以提升元件的靈敏度；(2)感測電極為氣密閉合差分電容感測電極，亦提升元件的靈敏度；(3) 以多晶矽陣列連接 SOI 晶片之元件層以及處理層電性設計；(4) 此元件感測電極之間隙是由 SOI 晶片初始的氧化層夾層厚度所決定；(5) 透過此三軸感測機制的架構，此加速度計元件在三軸方向皆是以氣密閉合的差分電極作為感測，且為單一質量塊感測三軸方向加速度元件的設計。

總結而言，本研究的架構如圖 1-36 所示，以 SOI 晶片為基礎，從一般平面加速度計開始為例，探討加速度計設計的考量點，並透過微機電製程將元件製造出來並量測其基本元件特性。而後提出新型態以氣密閉合之差分電容電極為架構的出平面加速度計，並透過量測驗證初步的可行性。結合所開發的出平面加速度計，與一般型態整合發展出三軸方向加速度感測系統，此時的感測架構是以個別獨立的加速度計元件分別感測平面方向以及出平面方向的訊號。透過本研究的設計，將個別獨立的加速度計元件改成以單一元件同時感測三軸方向的加速度訊號，即所謂單一質量塊三軸加速度計。最後透過實驗的初步量測結果，驗證三軸加速度計元件之可行性。

5-2 未來工作

目前所開發的三軸加速度計仍面臨兩個挑戰，其中一個問題為出平面方向的解耦合過大，在製程的設計上仍有改善的空間。此外，三軸加速度計元件目前仍未加入自我感測電極的設計，此部分在未來工作上，必須考量此功能於元件中以達到自我測試的功能。如圖 5-1 所示，對於上述的所面臨的問題提出一個解決的方法。透過晶圓接合技術，在元件下方接合具有自我測試電極之矽基材，因此可以透過自我感測電極來驅動三軸加速度計，量測其結構特性並初步確認結構是否遭遇不預期之毀損。此外，考量感測電路整合部分，由於此新型態之三軸加速度計不論是元件的質量塊以及兩端的感測電極，其元件層以及處理層

已透過多晶矽回填技術將電性連接，因此將感測電路的感測端直接與加速度計之處理層接合，達到垂直方向封裝，如圖 5-2 所示，此設計不需要透過直通矽晶穿孔(through silicon via)的架構就可以完成垂直方向整合之封裝技術。除了感測電路之整合，亦可加入自我感測電極，因此可同時具有感測電路以及自我測試之功能。



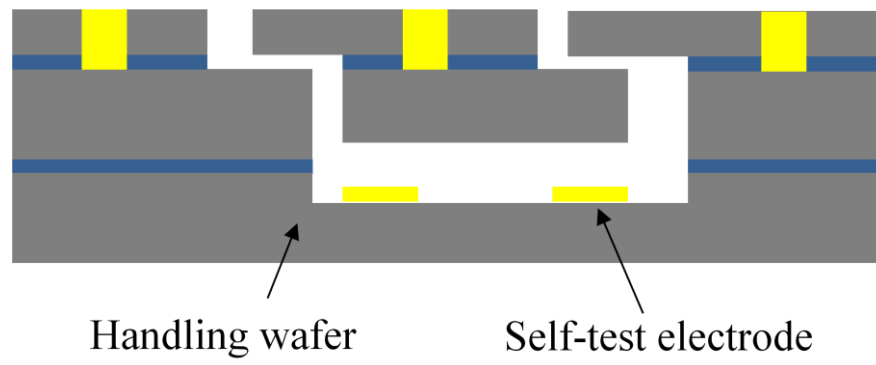
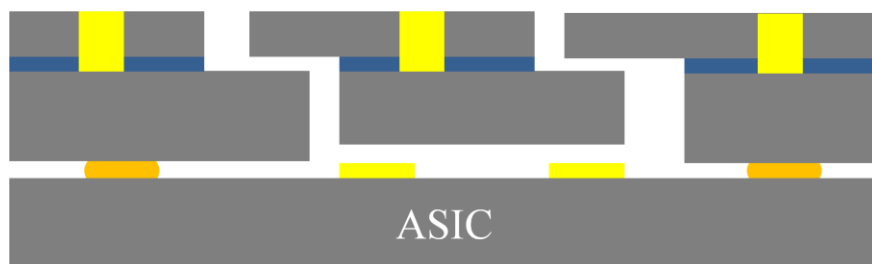


圖 5-1 三軸加速度計之製程改進



Integrate with ASIC

圖 5-2 三軸加速度計整合感測電路

參考文獻

- [1] <http://www.yole.com/>
- [2] <http://www.analog.com/en/index.html>
- [3] <http://www.eettaiwan.com/>
- [4] <http://www.apple.com/tw/iphone/>
- [5] <http://wii.com/>
- [6] <http://asia.playstation.com/tw/cht>
- [7] E. Peeters, S. Vergote, B. Puers, and W. Sansen, "A highly symmetrical capacitive micro-accelerometer with single degree-of-freedom response," *J. Micromech. Microeng.*, Vol. **2**, pp.104-112, 1992.
- [8] L. Ristic, R. Gutteridge, J. Kung, D. Koury, B. Dunn, and H. Zunino, "A capacitive type accelerometer with self-test feature based on a double-pinned polysilicon structure," *Transducer '93*, Yokohama, Japan, June 1993, pp. 810-812.
- [9] F. Rudolf, A. Jornod, and P. Benze, "Silicon microaccelerometers," *Transducer '87*, Tokyo, Japan, June 1987, pp. 376-379.
- [10] F. Rudolf, A. Jornod, J. Berqvist, and H. Leuthold, "Precision accelerometers with μg resolution," *Sensors Actuators*, Vol. **A21/A23**, 1990, pp. 297-302.
- [11] W. Henrion, L. DiSanza, M. Ip, S. Terry, and H. Jerman, "Wide-dynamic range direct digital accelerometer," in *Tech. Dig. Solid-State Sensors and Actuators Workshop*, Hilton Head Island, SC, June 1990, pp. 153-156.
- [12] Y. de Coulon, T. Smith, J. Hermann, M. Chevroulet, and F. Rudolf, "Design and test of a precision servoaccelerometer with digital output," *Transducer '93*, Yokohama, Japan, June 1993, pp. 832-835.

- [13] K. Warren, "Navigation grade silicon accelerometer with sacrificially etched SIMOX and BESOI structure," in *Tech. Dig. Solid-State Sensors and Actuators Workshop*, Hilton Head Island, SC, June 1994, pp. 69-72.
- [14] N. Yazdi and K. Najafi, "An all-silicon single-wafer fabrication technology for precision microaccelerometer," *Transducer'97*, Chicago, IL, June 1997, pp. 1181-1184.
- [15] K. J. Ma, N. Yazdi, and K. Najafi, "A bulk-silicon capacitive microaccelerometer with built-in overrange and force feedback electrodes," in *Tech. Dig. Solid-State Sensors and Actuators Workshop*, Hilton Head Island, SC, June 1994, pp. 160-163.
- [16] N. Yazdi, F. Ayazi, and K. Najafi, "Micromachined inertial sensors," *Proceedings of IEEE*, Vol. **86**, No. **8**, August 1998, pp. 1640-1659.
- [17] S. J. Sherman, W. K. Tsang, T. A. Core, R. S. Payne, D. E. Quinn, K. H. Chau, J. A. Farash, and S. K. Baum, "A low-cost monolithic accelerometer: Product/technology update," in *Tech. Dig. IEEE Electron Devices Meeting (IEDM'92)*, Dec. 1992, pp. 160-161.
- [18] B. Boser and R. T. Howe, "Surface micromachined accelerometers," *IEEE J. Solid-State Circuits*, Vol. **31**, pp. 366-375, Mar. 1996.
- [19] K. Chau, S. R. Lewis, Y. Zhao, R. T. Howe, S. F. Bart, and R. G. Marcheselli, "An integrated force-balanced capacitive accelerometer for low-g applications," *Transducer'95*, Stockholm, Sweden, June 1995, pp. 593-596.
- [20] B. P. van Driehuis, N. Maluf, I. E. Opris, and G. Kovacs, "Force-balanced accelerometer with mG resolution fabricated using silicon fusion bonding and deep reactive ion etching," *Transducer'97*, Chicago, IL, June 1997, pp. 1229-1230.
- [21] J. C. Cole, "A new sense element technology for accelerometer subsystems,"

Transducer '91, San Francisco, CA, June 1997, pp. 93-96.

- [22] L. Spangler, and C. J. Kemp, "ISAAC-Integrated silicon automotive accelerometer," *Transducer '95*, Stockholm, Sweden, June 1995, pp. 585-588.
- [23] A. Selvakumar, F. Ayazi, and K. Najafi, "A high sensitivity z-axis torsional silicon accelerometer" in *Tech. Dig. IEEE Int. Electron Device Meeting, San Francisco*, CA, Dec. 1996, pp. 765-768.
- [24] A. C. McNeil, G. Li, and D. N. Koury, U.S. Pat. 6845670 B1, Jan. 25, 2005.
- [25] T. Hauck, G. Li, A. McNeil, H. Knoll, M. Ebert, and J. Bagdahn, "Drop Simulation and Stress Analysis of MEMS Devices," *7th. Int. Conf. on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems*, EuroSimE 2006, pp. 1-5.
- [26] <http://www.st.com/stonline/>
- [27] <http://www.freescale.com/>
- [28] J. E. Vandemeer, B. P. Gogoi, and J. H. Hammond, U.S. Pat. 7000473 B2, Feb. 21, 2006
- [29] G. G. Li, B. Gogoi, H. D. Desai, J. H. Hammond, and B. Diem, U.S. Pat. 2007/0090474 A1, Apr. 26, 2007.
- [30] B. P. Gogoi, U.S. Pat. 7159459 B2, Jan. 9, 2007.
- [31] A. C. McNeil, U.S. Pat. 7121141 B2, Oct. 17, 2006.
- [32] <http://www.bosch-sensortec.com/content/language1/html/index.htm>
- [33] <http://www.vti.fi/en/>
- [34] G. L. Mahon, U.S. Pat. 6829937 B2, Dec. 14, 2004.
- [35] H. Kuisma, J. Lahdenpera, and R. Mutikainen, U.S. Pat. 6938485 B2, Sep. 6, 2005.
- [36] H. Kuisma, U.S. Pat. 7426863 B2, Spe. 23, 2008.
- [37] H. Manninen, U.S. Pat. 7340955 B2, Mar. 11, 2008.

- [38] <http://www.globaldenso.com/en/>
- [39] T. Fujii, U.S. Pat. 6227049 B1, May 8, 2001.
- [40] T. Fujii, and M. Imai, U.S. Pat. 6550331 B2, Apr. 22, 2003.
- [41] <http://www.memsic.com/>
- [42] <http://www.wacoh.co.jp/>
- [43] K. Okada, Pat. 5856620, Jan. 5, 1999.
- [44] K. Okada, H. Itano, and N. Taniguchi, U.S. Pat. 6378381 B1, Apr. 30, 2002.
- [45] K. Okada, U.S. Pat. 6772632 B2, Aug. 10, 2004.
- [46] E. Peeters, S. Vergote, B. Puers, and W. Sansen, "A highly symmetrical capacitive micro-accelerometer with single degree-of-freedom response," *Journal of Micromechanics and Microengineering*, Vol. 2, April 1992, pp. 104-112.
- [47] F. Xiao, L. Che, B. Xiong, Y. Wang, X. Zhou, Y. Li, and Y. Lin, "A novel capacitive accelerometer with an eight" *Journal of Micromechanics and Microengineering*, Vol. 18, April 2008.
- [48] A. McNeil, "Flexible Design Techniques for Polysilicon MEMS Process," *Int. Elect. Manu. Tech. Symposium*, 2007, pp. 290-293.
- [49] W. Yun, R. T. Howe, and P. R. Gray, "Surface micromachined digitally force-balanced accelerometer with integrated CMOS detection circuitry," in *Tech. Dig. Solid-State Sensor and Actuator Workshop*, Hilton Head Island, SC, June 1992, pp. 126-131.
- [50] C. Lu, M. Lemkin, and B. Boser, "A monolithic surface micromachined accelerometer with digital output," *IEEE J. Solid-State Circuit*, Vol. 30, pp. 1367-1373, Dec. 1995.
- [51] M. Lemkin, B. Boser, and J. Smith, "A 3-axis surface micromachined $\Sigma\Delta$ accelerometer," in *Tech. Digest Int. Solid-State Circuits Conf. (ISSCC'97)*, San

Francisco, CA, Feb. 1997, pp. 202-203.

- [52] “ADXL05-monolithic accelerometer with signal conditioning,” Analog Devices, Norwood, MA, data sheet, 1995.
- [53] M. A. Lemkin, M. A. Ortiz, N. Wonglomet, B. E. Boser, and J. H. Smith, “A 3-axis force balanced accelerometer using a single proof-mass,” *Transducer '97*, Chicago, IL, June 1997, pp. 1185-1188.
- [54] <http://www.mems.sandia.gov/tech-info/mems-overview.html>
- [55] A. Selvakumar, and K. Najafi, “A high-sensitivity z-axis capacitive silicon microaccelerometer with a torsional suspension,” *Journal of Microelectromechanical Systems*, Vol. 7, No. 2, June 1998, pp. 192-200.
- [56] N. Yazdi, and K. Najafi, “An all-silicon single-wafer micro-g accelerometer with a combined surface and bulk micromachining process,” *Journal of Microelectromechanical Systems*, Vol. 9, No. 4, December 2000.
- [57] J. Chae, H. Kulah, and K. Najafi, “A monolithic three-axis micro-g micromachined silicon capacitive accelerometer,” *Journal of Microelectromechanical Systems*, Vol. 14, No. 2, April 2005.
- [58] H. Xie, and G. K. Fedder, “A CMOS Z-axis capacitive accelerometer with comb-finger sensing,” *MEMS'00*, Miyazaki, Japan, Jan. 2000, pp. 496-501.
- [59] H. Luo, G. K. Fedder, and L. R. Carley, “A 1mG lateral CMOS-MEMS accelerometer,” *MEMS'00*, Miyazaki, Japan, Jan. 2000, 502-507.
- [60] J. Wu, G. K. Fedder, and L. R. Carley, “A low-noise low-offset chopper-stabilized capacitive-readout amplifier for CMOS MEMS accelerometers,” in *Tech. Dig. IEEE Int. Solid-State Circuits Conf. (ISSCC'02)*, San Francisco, CA, Feb. 2002, pp. 428-430.
- [61] H. Xie, L. Erdmann, X. Zhu, K. J. Gabriel, and G. K. Fedder, “Post-CMOS processing for high-aspect-ratio integrated silicon microstructures,” *Journal of*

Microelectromechanical systems, Vol. **11**, No. **2**, April 2002, pp. 93-101.

- [62] H. Lakdawala, and G. K. Fedder, "Temperature stabilization of CMOS capacitive accelerometers," *Journal of Micromechanics and Microengineering*, Vol. 14, Jan. 2004, pp. 559-566.
- [63] H. Qu, D. Fang, H. Xie, "A Monolithic CMOS-MEMS 3-axis Accelerometer with a Low-Noise, Low-Power Dual-Chopper Amplifier," *IEEE Sensor Journal*, Vol. **8**, 2009, pp. 1511-1518.
- [64] M. H. Tsai, C. Wang, and W. Fang, "A novel out-of-plane accelerometer with fully-differential sensing circuit and sub-micron gap," *Transducer '07*, Lyon, France, June 2007, pp. 1487-1490.
- [65] M. H. Tsai, C. M. Sun, Y. C. Liu, C. Wang, and W. Fang, "Design and implementation of high performance CMOS-MEMS capacitive sensors," *Transducer '09*, Denver, US, June 2009, pp. 672-675.
- [66] C. M. Sun, M. H. Tsai, C. Wang, Y. C. Liu, and W. Fang, "Implementation of a monolithic TPMS using CMOS-MEMS technique," *Transducer '09*, Denver, US, June 2009, pp. 1730-1733.
- [67] C. Wang, M. H. Tsai, C. M. Sun, and W. Fang, "A novel CMOS out-of-plane accelerometer with fully differential gap-closing capacitance sensing electrodes," *Journal of Micromechanics and Microengineering*, Vol. 17, June 2007, pp. 1275-1280.
- [68] M. H. Tsai, C. M. Sun, Y. C. Liu, C. Wang, and W. Fang, "Design and application of a metal wet-etching post-process for the improvement of CMOS-MEMS capacitive sensors," *Journal of Micromechanics and Microengineering*, Vol. 19, Sep. 2009, pp 1-7.
- [69] Y. Matsumoto, M. Nishimura, M. Matsuura, and M. Ishida, "Three-axis SOI capacitive accelerometer with PLL C-V converter," *Sensor and Actuator A*, Vol.

75, 1999, pp. 77-85.

- [70] B. V. Amini, S. Pourkamali, and F. Ayazi, "A high resolution, stictionless, CMOS compatible SOI accelerometer with low noise, low power, 0.25 μ m CMOS interface," *MEMS 2004*, Maastricht, Netherlands, Jan. 2004.
- [71] T. Tsuchiya, and H. Funabashi, "A z-axis differential capacitive SOI accelerometer with vertical comb electrodes," *Sensor and Actuator A*, Vol. **116**, 2004, pp. 378-383.
- [72] B. V. Amini, R. Abdolvand, and F. Ayazi, "A 4.5-mW closed-loop $\Delta\Sigma$ micro-gravity CMOS SOI accelerometer," *IEEE Journal of Solid-State Circuit*, Vol. **41**, No. **12**, Dec. 2006, pp. 2983-2991.
- [73] R. Abdolvand, B. V. Amini, and F. Ayazi, "Sub-micro-gravity in-plane accelerometer with reduced capacitive gaps and extra seismic mass," *Journal of Microelectromechanical systems*, Vol. **16**, No. **5**, Oct. 2007, pp. 1036-1043.
- [74] H. Hamaguchi, K. Sugano, T. Tsuchiya, and O. Tabata, "A differential capacitive three-axis SOI accelerometer using vertical comb electrodes," *Transducer '07*, Lyon, France, June 2007, pp. 147-150.
- [75] T. Tsuchiya, H. Hamaguchi, K. Sugano, and O. Tabata, "Design and fabrication of a differential capacitive three-axis SOI accelerometer using vertical comb electrodes," *IEEJ Transactions on Electrical and Electronic Engineering*, Vol. **4**, Apr. 2009, pp. 345-351.
- [76] T. Mineta, S. Kobayashi, Y. Watanabe, S. Kanauchi, I. Nakagawa, E. Suganuma, and E. Esashi, "Three-axis capacitive accelerometer with uniform axial sensitivities," *Journal of Micromechanics and Microengineering*, Vol. **6**, July 1996, pp. 431-435.
- [77] K. Yoshida, Y. Matsumoto, M. Ishida, and K. Okada, "High-sensitive three axis SOI capacitive accelerometer using dicing method," *Technical Digest of The 16th*

Sensor Symposium, 1998, pp. 25-28.

- [78] Y. Watanabe, T. Mitsui, T. Mineta, S. Kobayashi, N. Taniguchi, and K. Okada, "Five-axis motion sensor with electrostatic drive and capacitive detection fabricated by silicon bulk micromachining," *Sensors and Actuators A*, **A97/A98**, 2002, pp. 109-115.
- [79] Y. Watanabe, T. Mitsui, T. Mineta, Y. Matsu, and K. Okada, "SOI micromachined 5-axis motion sensor using resonant electrostatic drive and non-resonant capacitive detection mode," *Sensor and Actuators A*, **A130/A131**, 2006, pp.116-123.
- [80] <http://www.irvine-sensors.com/pdf/MS3110%20Datasheet%20USE.pdf>



論文發表

國際會議相關

1. C.-W. Lin, C.-P. Hsu, H.-A. Yang, W. C. Wang, and W. Fang, "Implementation of SOG Devices with Embedded Through-wafer Silicon Vias Using a Novel Glass Reflow Process for Wafer-level 3D MEMS Integration," *IEEE MEMS'08*, Tucson, AZ, USA, 2008.
2. Chia-Pao Hsu, Wen-Chien Chen, Tsung-Lin Tang, Ming-Chuen Yip, Weileun Fang, "The two-axis magnetostatic-drive single-crystal-Si micro scanner driven by back-side electroplating Ni film", *IEEE/LEOS Optical MEMS and Nanophotonics '08*, Freiburg, DE, 2008.
3. Chia-Pao Hsu, Deng-Horng Tsai, Ming-Chuen Yip, and Weileun Fang, "Decoupled Z-axis Microgyroscope Using Oblique Comb for Frequency Tuning", *IEEE Sensor '07*, Atlanta, USA, 2007.
4. Chia-Pao Hsu, Ming-Chuen Yip, and Weileun Fang, "A Novel SOI Z-axis Accelerometer with Gap Closing Differential Sensing Electrodes", *Transducers '09*, Colorado, USA, 2009.
5. Chun-Kai Chan, Chia-Pao Hsu, Mingching Wu, Hong Hochen, Rong-Shun Chen, and Weileun Fang, "A Novel Differential Capacitive-Sensing Dual-axis Accelerometer Design Using Pendulum-Proofmass, Gimbal-springs, and Harm Vertical-combs", *Transducers '09*, Colorado, USA, 2009.
6. Tsung-Lin Tang, Chia-Pao Hsu, Wen-Chien Chen, and Weileun Fang, "The Double-Side Electroplating and Slender Ferromagnetic Patterns Torque-Enhancement Design For Magnetostatic Actuator", *Transducers '09*, Colorado, USA, 2009.

國際期刊相關

7. Chiung-Wen Lin, Chia-Pao Hsu, Hsueh-An Yang, Wei Chung Wang, and Weileun Fang, "Implementation of silicon-on-glass MEMS devices with embedded through-wafer silicon vias using the glass reflow process for wafer-level packaging and 3D chip integration", *J. Micromech. Microeng.*, **18**, 2008.
8. Chia-Pao Hsu, Ming-Chuen Yip, and Weileun Fang, "Implementation of Gap-Closing Differential Capacitive Sensing Z-axis Accelerometer on SOI Wafer", *J. Micromech. Microeng.*, **19**, 2009.
9. Tsung-Lin Tang, Chia-Pao Hsu, Wen-Chien Chen, and Weileun Fang, "Design and implementation of a torque-enhancement 2-axis magnetostatic SOI optical scanner," *J. Micromech. Microeng.*, **20**, 2010.

附錄 A 微機電加速度計之衝擊試驗可靠度分析

此附錄以 ADI 的 ADXL330 以及 STMicro 的 LIS331AL 商用加速度計為研究對象，探討衝擊試驗對於元件特性的影響。主要目的為瞭解商用加速度計所訂定的規範，用於未來自行產品規格的訂定。

A-1 衝擊試驗

如圖 A-1(a)所示為 ADXL330 商用加速度計的衝擊力規格，如圖 A-1(b)所示為 LIS331AL 商用加速度計的衝擊力規格。從規格可以觀察到在衝擊試驗的在大衝擊值為 10,000g，但是在元件的正常操作範圍通常為 2g 到 4g，所以必須瞭解在怎麼樣的情況會產生 10,000g 的衝擊力。

為了粗略計算物體所受到的衝擊力，在此假設一物體從一公尺高自由落體制地面。根據牛頓運動定律可以得到碰撞地面前面的速度為：

$$V = \sqrt{2gS} = \sqrt{2 \times 9.8 \times 1} = 4.43 \text{ m/s} \quad (\text{A-1})$$

假設碰撞後物體為反彈，碰撞時間為 0.2ms，則此過程物體所受到的加速度為：

$$a = \frac{4.43}{0.2\text{ms}} = 22,150 \quad (\text{A-2})$$

由上述之假設可以觀察到，物體要受到外在環境的 10,000g，並非想像中的困難。本研究透過與宜特科技之合作，驗證此商用加速度計之衝擊試驗規格。

表 A-1 為本研究之衝擊條件，觀察衝擊前後靈敏度的變化，表 A-2 為本研究商用加速度計之靈敏度規格，ADXL330 加速度計之靈敏度為 300 mV/g \pm 10%，LIS331AL 加速度計之靈敏度 478.5 mV/g \pm 5%。圖 A-2 為衝擊試驗機實體圖，透過此衝擊試驗機提供衝擊力，如圖 A-3(a)以及(b)所式為此試驗機所提供之衝擊力圖。圖 3(a)為衝擊力 10,000g，衝擊時間 0.1ms；圖 3(b)為衝擊力 10,000g，衝擊時間 0.2ms，目前這也是廠商所能提供之最大衝擊力。

由於兩家封裝的大小不同，ADXL330 封裝的尺寸為 4mm \times 4mm，LIS331AL

封裝的尺寸為 $3\text{mm} \times 3\text{mm}$ ，於是將元件固定於 PCB 板，如圖 A-4 所示。再將 PCB 板固定於振動機平台上，透過振動機來量測元件特性，其中 X 方向、Y 方向以及 Z 方向的測試裝置如圖 A-5 所示。於是針對 ADXL330 第一次衝擊試驗，初步以三個感測器為研究對象，衝擊條件分別為：(1) $\pm X$ 、 $\pm Y$ 、以及 $\pm Z$ 方向各衝擊 $10,000\text{g}$ ，衝擊時間為 0.2ms ，每個方向各衝擊五次；(2) $\pm X$ 方向衝擊 $10,000\text{g}$ ，衝擊時間為 0.2ms ，衝擊五次；(3) $\pm Z$ 方向衝擊 $10,000\text{g}$ ，衝擊時間為 0.2ms ，衝擊五次。如圖 A-6 所示，為衝擊實驗前各方向之靈敏度量測結果。經過上述三種衝擊條件測試後，再重複量測元件之靈敏度特性，如圖 A-7 所示。量測結果顯示靈敏度並沒有因為衝擊測試而改變，表示元件可以在承受 $10,000\text{g}$ 的衝擊仍能夠保持元件的特性。表 A-3 為衝擊前後靈敏度量測結果整理。

同樣的，也針對 LIS331AL 做衝擊測試，規格書與 ADXL330 不同的是，有列出衝擊時間為 0.1ms 。於是在衝擊測試中，在 $10,000\text{g}$ 的衝擊下，分別測試反應時間 0.1ms 以及 0.2ms 。衝擊試驗前後的靈敏度量測結果如圖 A-8 以及圖 A-9 所示，結果顯示元件同樣可以承受 $10,000\text{g}$ 的衝擊仍能夠保持元件的特性。表 A-4 為衝擊前後靈敏度量測結果整理。

A-2 結論

透過衝擊試驗的初步量測結果，驗證商用加速度計 ADXL330 以及 LIS331AL 之規格，作為未來設計之加速度計規格的制訂。目前正在進行破壞分析，實驗結果顯示元件在 $30,000\text{g}$ 衝擊力下，觀察到元件毀損。所以往後對於自行設計之加速度計而言， $10,000\text{g}$ 的衝擊力測試是必須要通過的條件，若發生毀損，就必須觀察元件破壞的位置，對於元件的設計做進一步的修訂。

表 A-1 衝擊試驗條件

	ADXL330	LIS331AL
10,000g, 0.1ms	V	V
10,000g, 0.2ms		V

表 A-2 商用加速度計靈敏度規格

	ADXL330	LIS331AL
Sensitivity (mV/g)	300	478.5
Variation	10%	5%

表 A-3 ADXL330 衝擊前後靈敏度量測結果

	X(mV/g)	Y(mV/g)	Z(mV/g)
condition1-before	297.76	309.20	308.44
condition2-before	297.18	311.03	304.42
condition3-before	294.9	311.28	301.45
condition1-after	291.04	308.03	306.01
condition2-after	291.3	306.75	304.69
condition3-after	289.78	306.81	302.72

表 A-4 LIS331AL 衝擊前後靈敏度量測結果

	X(mV/g)	Y(mV/g)	Z(mV/g)
10,000g, 0.1ms-before	471.13	485.88	471.33
10,000g, 0.1ms-after	481.51	478.52	486.89
10,000g, 0.2ms-before	478.55	467.10	473.86
10,000g, 0.2ms-after	481.13	465.76	495.23



(a)

Parameter	Rating
Acceleration (Any Axis, Unpowered)	10,000 <i>g</i>
Acceleration (Any Axis, Powered)	10,000 <i>g</i>
V_s	-0.3 V to +7.0 V
All Other Pins	(COM - 0.3 V) to (V_s + 0.3 V)
Output Short-Circuit Duration (Any Pin to Common)	Indefinite
Temperature Range (Powered)	-55°C to +125°C
Temperature Range (Storage)	-65°C to +150°C

(b)

Symbol	Ratings	Maximum value	Unit
V _{dd}	Supply voltage	-0.3 to 6	V
V _{in}	Input voltage on any control pin (ST,PD)	-0.3 to V _{dd} +0.3	V
A _{POW}	Acceleration (any axis, powered, V _{dd} =3.3V)	3000g for 0.5 ms 10000g for 0.1 ms	
A _{UNP}	Acceleration (any axis, not powered)	3000g for 0.5 ms 10000g for 0.1 ms	
ESD	Electrostatic discharge protection	4.0 (HBM)	kV
		1.5 (CDM)	kV
		400 (MM)	V
T _{STG}	Storage temperature range	-40 to +125	°C

圖 A-1 (a)ADXL330 及(b)LIS331AL 商用加速度計衝擊規格

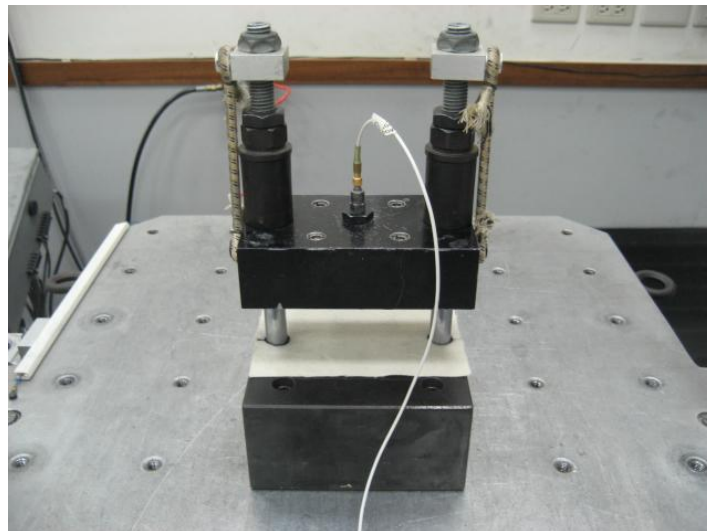


圖 A-2 衝擊試驗機 (宜特科技)

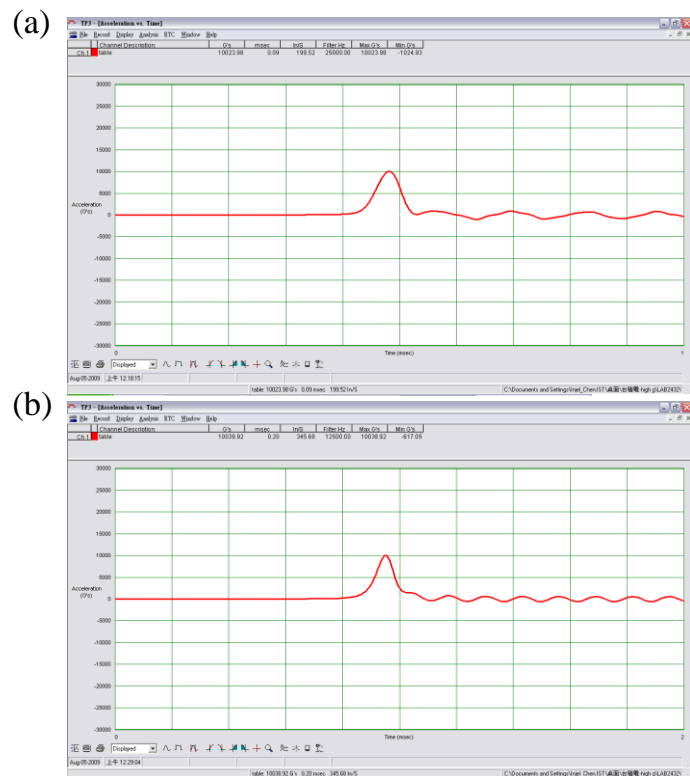


圖 A-3 試驗機提供(a) 10,000g, 0.1ms 以及(b)10,000g, 0.2ms 之衝擊外力

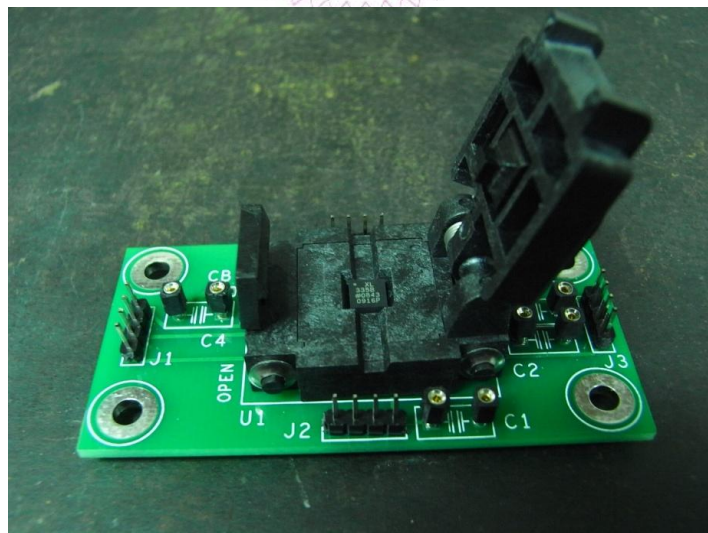
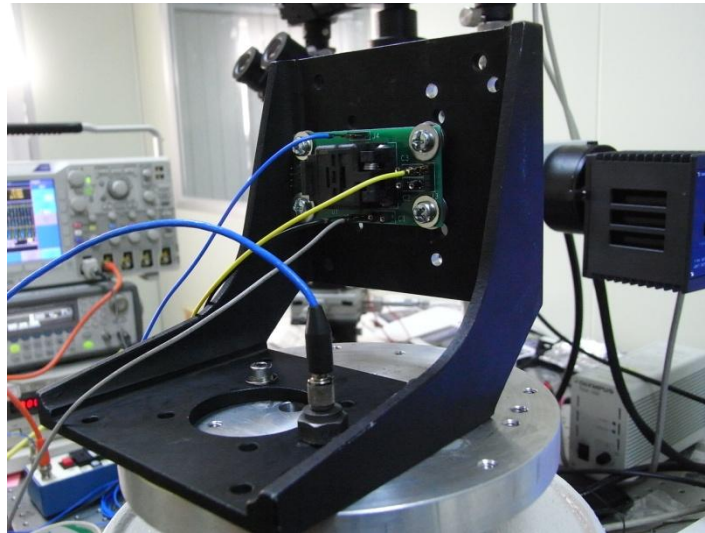
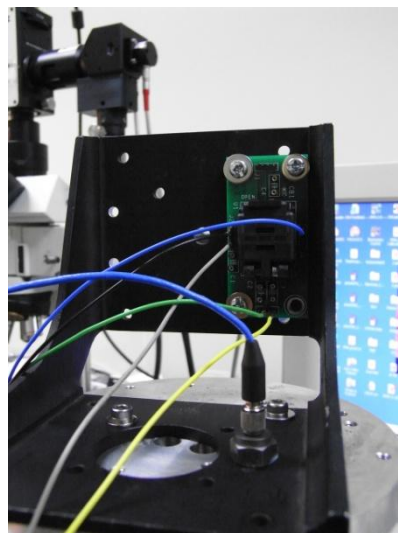


圖 A-4 量測用之 PCB 板

(a)



(b)



(c)

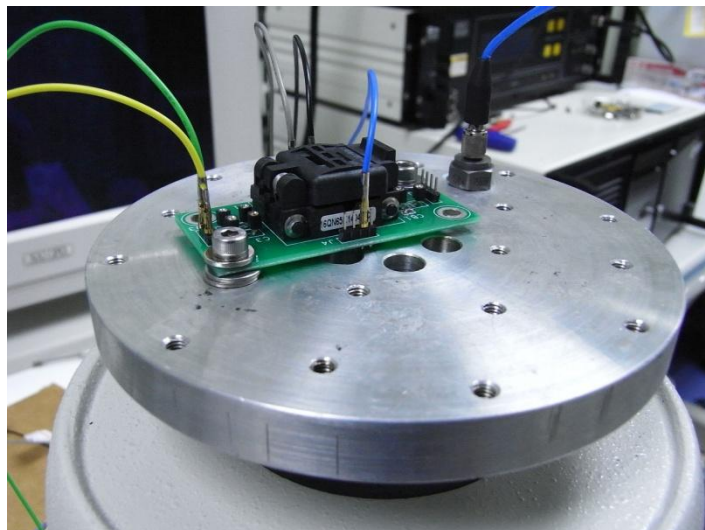


圖 A-5 (a)X 方向、(b)Y 方向以及(c)Z 方向之量測架構

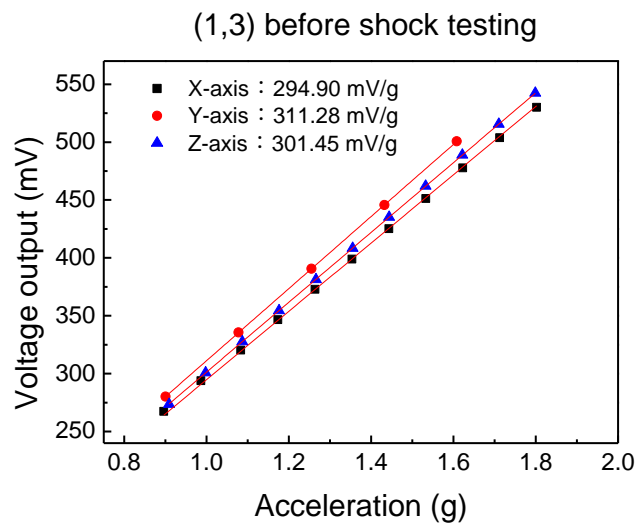
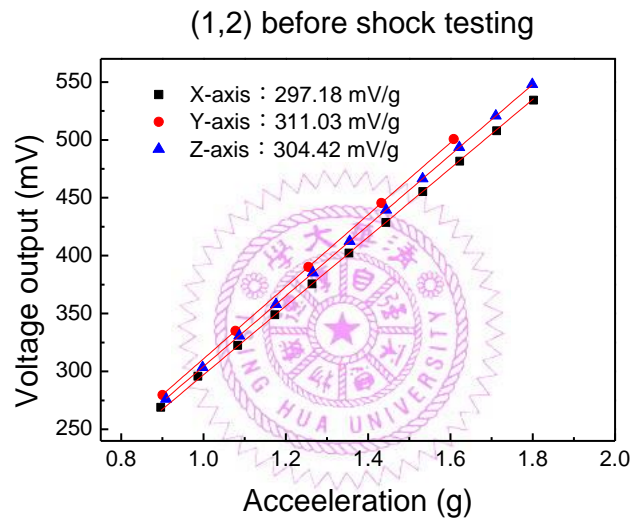
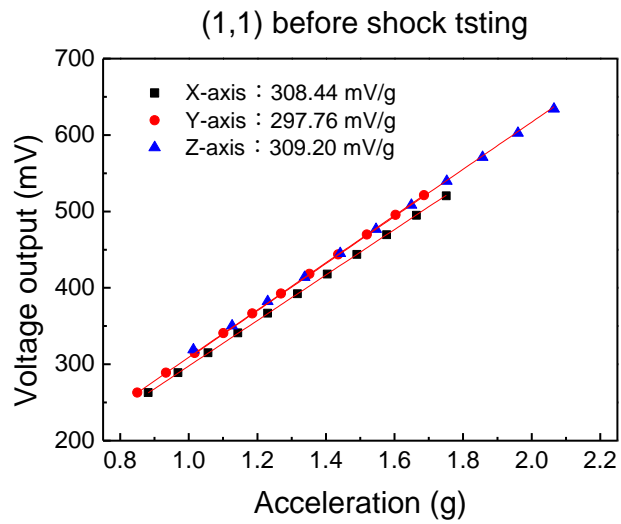


圖 A-6 衝擊試驗前 ADXL330 元件之靈敏度量測結果

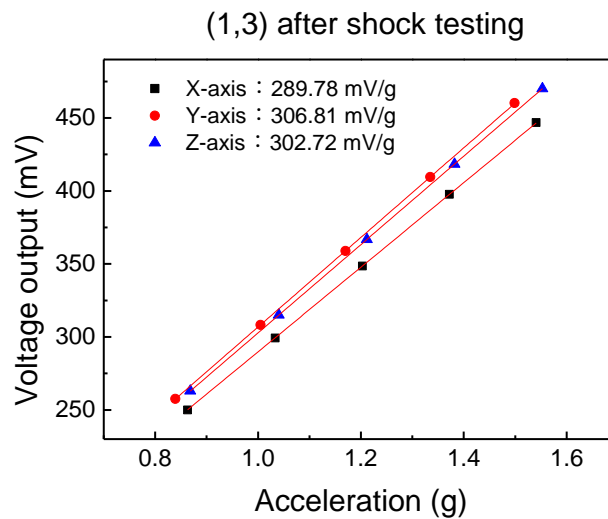
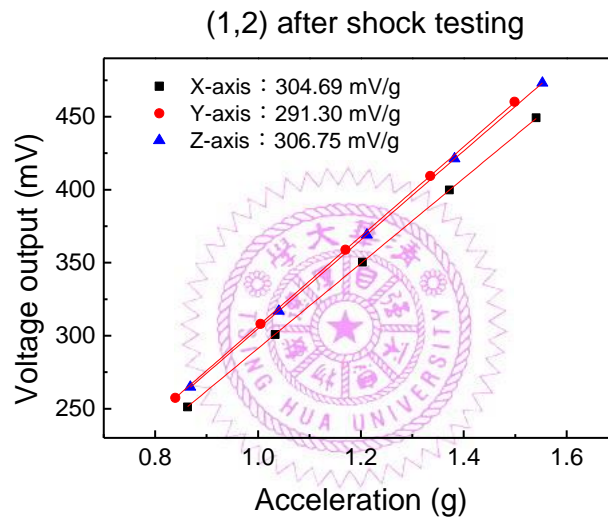
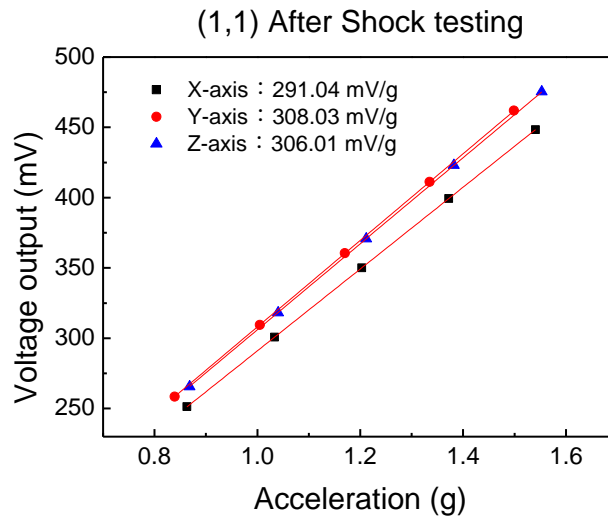


圖 A-7 衝擊試驗後 ADXL330 元件之靈敏度量測結果

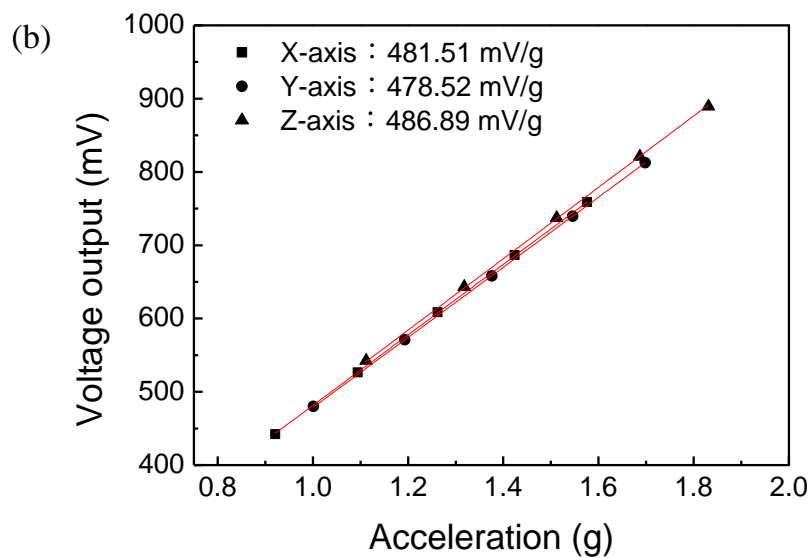
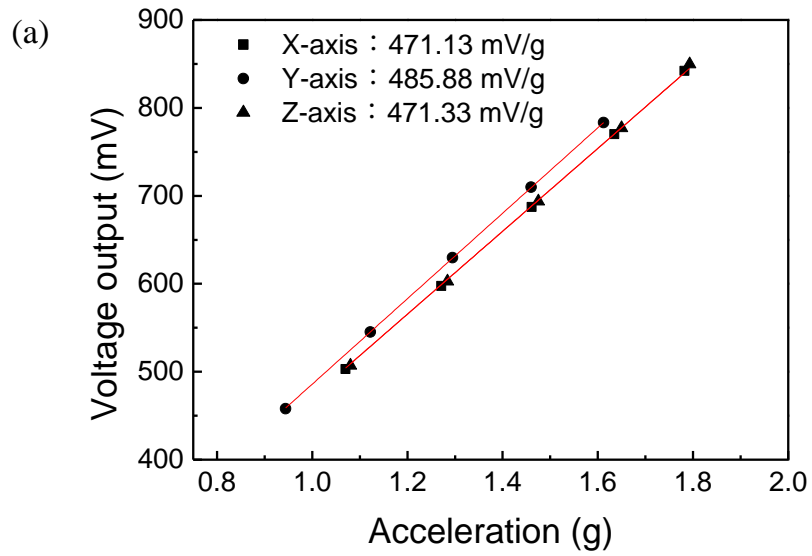


圖 A-9 10,000g 的衝擊下反應時間 0.1ms，(a)衝擊試驗前以及(b)衝擊試驗後

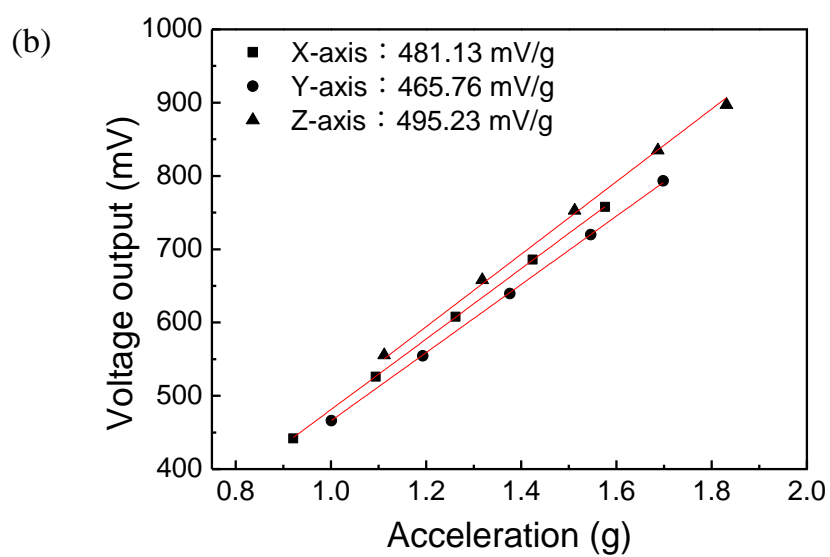
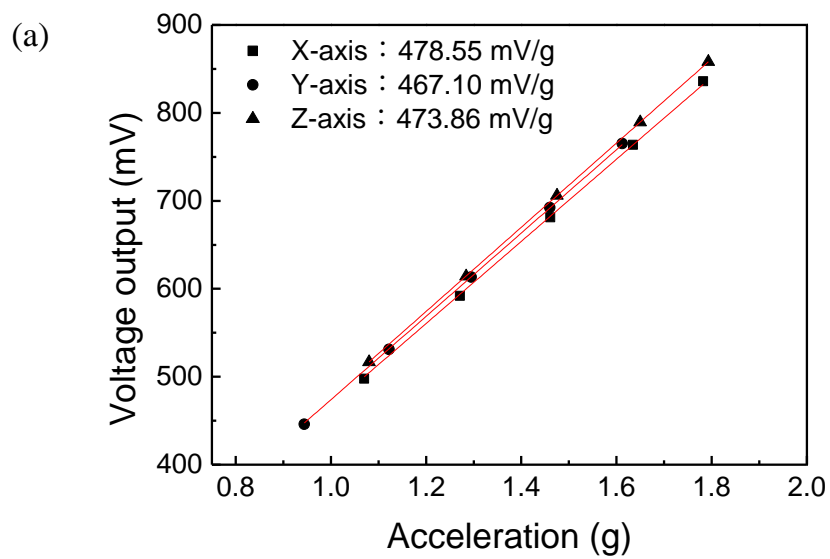


圖 A-10 10,000g 的衝擊下反應時間 0.2ms，(a)衝擊試驗前以及(b)衝擊試驗後

附錄 B 業界加速度計元件發展

在業界發展的加速度計元件中，首先 Analog Device, Inc. (ADI)發展 MEMS 產業超過 15 年以上，該元件最早運用在車輛行車安全的微機電感測裝置，如安全氣囊、行車穩定系統等等，在近期更進一步整合於手機以及電視遊樂器[2]。ADI 所發展的元件屬於單石化(monolithic)的機制，即微機電結構與 CMOS 感測電路是在同一個製程下製造出來。其中又包括 1993 年提出的 iMEMS 製程以及 2005 年提出的 SOI iMEMS 為主。iMEMS 製程如圖 B-1 所示，其微機電元件的製程與 CMOS 感測電路製程混合完成(mixed)，如圖 B-1(b)所示，感測電路製程完成前以多晶矽組成加速度計元件結構，圖 B-1(c)才完成整個電路的製程，最後圖 B-1(d)才將結構懸浮。代表性的元件為 ADXL202，為透過 iMEMS 製程所製造出來的三軸加速度計元件。SOI iMEMS 製程如圖 B-2 所示，此製程算是先製作 CMOS 感測電路於 SOI 晶片上如圖 B-2(b)所示，感測電路完成後於圖 B-2(c)才將加速度結構定義出來，最後將結構懸浮，如圖 B-2(d)所示。其感測方式為電容式，透過外加慣性力作用於元件所產生的位移，進而得到電容變化的輸出，最後轉成電壓的輸出。目前電視遊樂器 Wii 中所使用的加速度計，部分是 ADI 所製造的加速度計元件。

其次為 STMicroelectronics (ST)，在加速度計元件以自行開發的 THLMA 磊晶技術製造多晶矽厚結構元件(Thick Epipoly Layer for Microactuators and Accelerometer, THELMA)[26]。其製程圖如圖 B-3 所示，在矽晶片上先沈積氧化層作為結構之犧牲層，如圖 B-3(b)所示。如圖 B-3(c)以及圖(d)所示，定義固定端的位置並去除氧化層，接著透過磊晶技術沈積 15 μ m 的多晶矽作為結構層。最後如圖 B-3(e)以及圖 B-3(f)，於多晶矽上定義加速度計的幾何圖形，最後以深蝕刻系統將元件定義出來，最後移除犧牲層將結構懸浮，如圖 B-3(f)所示。此外，ST 開發的加速度計，不同於 ADI 的單石化設計，而是 CMOS 感測電路與加速度計元件為不同製程所完成，透過導線連接元件與感測電路訊號的傳遞，此方法稱為混合化(hybrid)。此外，感測部分仍與 ADI 相同，屬於電容式感測機制。

Freescall[27-31]所開發的加速度計元件製程致力於行車安全的感測裝置，利用三層多晶矽面型微加工技術所構成的結構，稱為三明治結構。製程圖如圖 B-4 所示，透過兩次的 PSG 氧化層以及三次的多晶矽組合成三明治結構，此製程可以設計出兩個固定電極中間放置一可動元件，因而得到出平面方向的差分電容電極之設計，如圖 B-4 (f)所示。因此透過此三明治結構的設計，可以設計出皆以差分電容電極設計之三軸加速度計。除了面型微加工外，Freescall 針對安全氣囊系統(airbag)以及電子穩定控制系統(electronic stability control)開發出 HARMEMS(High Aspect Ratio Micro-electromechanical Systems technology)技術。如圖 B-5 所示，透過 HARMEMS 技術可以製造出約 25 μm 厚度的加速度計，有別於面型微加工沈積的多晶矽厚度約為 3 μm ，可以提供過阻尼機械響應(over-damped mechanical response)，以提供安全氣囊系統不易受到外界雜訊的影響。透過 HARMEMS 系統亦可以提供電子穩定控制系統量測汽車行駛中側向的加速度，以保持行車的穩定性。

自 1994 年發展至今，Bosch 所開發的加速度計在汽車市場中亦有一席之地。與 ST 相似透過磊晶的技術沈積多晶矽作為加速度計的感測結構。其製程如圖 B-6 所示，透過磊晶技術可以沈積約 11 μm 之結構厚度，如圖 B-7 所示為透過此技術所呈現的感測器質量塊[59]。如圖 B-8 所示，在歐洲芬蘭的 VTI 在加速度計的開發中透過兩次的接合作製造三軸加速度計，透過電極所感測到電容的運算求得三軸方向個別的加速度，此製程技術稱為三維微機電製程(3D MEMS Processing)[33-37]。

日本 DENSO 開發以 SOI 晶片作為加速度計元件的晶片，只需要一道乾蝕刻便可以將元件完成，大幅降低製程複雜性，以此提高製程良率以及降低成本。其專利至今所以許多公司仍無法使用 SOI 晶片作為元件設計之晶片[38-40]。其製程結果如圖 B-9 所示，透過 SOI 晶片所定義出來的感測電極形狀。目前在學術界中，利用 SOI 晶片來設計微機電元件相當普遍，除了可以使良率提高之外，以最快的速度來驗證研究者之設計概念。

MEMSIC 利用 CMOSMEMS 技術，利用單石化的概念設計以感應熱流的方

式來偵測加速度訊號[41]。製程如圖 B-10 所示，加速度計感測元件與感測電路透過 CMOS 標準製程來研製，再透過額外後製程步驟如圖 B-10(b)所示，以乾蝕刻系統去除氧化層以及部分矽晶片深度，此部分矽晶片厚度作為感測元件懸浮的空間，最後以乾式等向性蝕刻(XeF_2)將元件懸浮，如圖 B-10(d)所示。

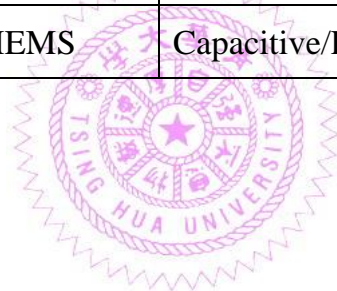
最後日本 WACOH 公司透過鐘擺設計概念來達成六軸慣性感測器之研究[42-45]，感測方式分別為電容式以及壓電式。如圖 B-11 所示，利用質量塊的擺垂效應，當有外加加速度訊號施加於系統時，造成元件的擺動進而感測其外加之訊號。

透過表 B-1 來詳細整理目前業界各公司的慣性感測器之製造技術、感測機制以及元件的型態(單石化或是混合化)，可以提供未來欲進入此市場之研究者參考。



表 B-1 目前業界各公司的慣性感測器之製造技術、感測機制以及元件的型態

Accelerometer Company	Process	Sensing principle	Geometry
ADI	iMEMS	Capacitive	Monolithic
ADI	SOI iMEMS	Capacitive	Monolithic
MEMSIC	CMOSMEMS	Thermal flow	Monolithic
Freescale	Poly-Si/HARMEMS	Capacitive	Hybrid
VTI	3D MEMS	Capacitive	Hybrid
BOSCH	Epi-Poly	Capacitive	Hybrid
ST	THELMA	Capacitive	Hybrid
DENSO	SOI	Capacitive	Hybrid
WACOH	3D MEMS	Capacitive/Piezoelectric	Hybrid



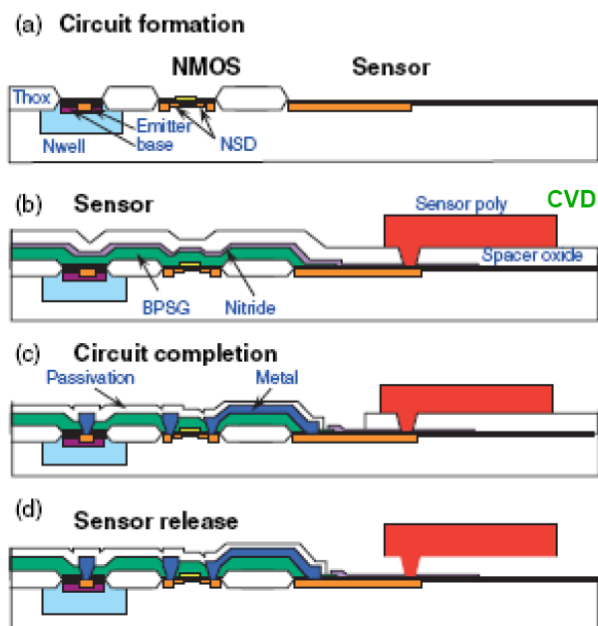


圖 B-1 ADI 所提出的 iMEMS 製程 [2]

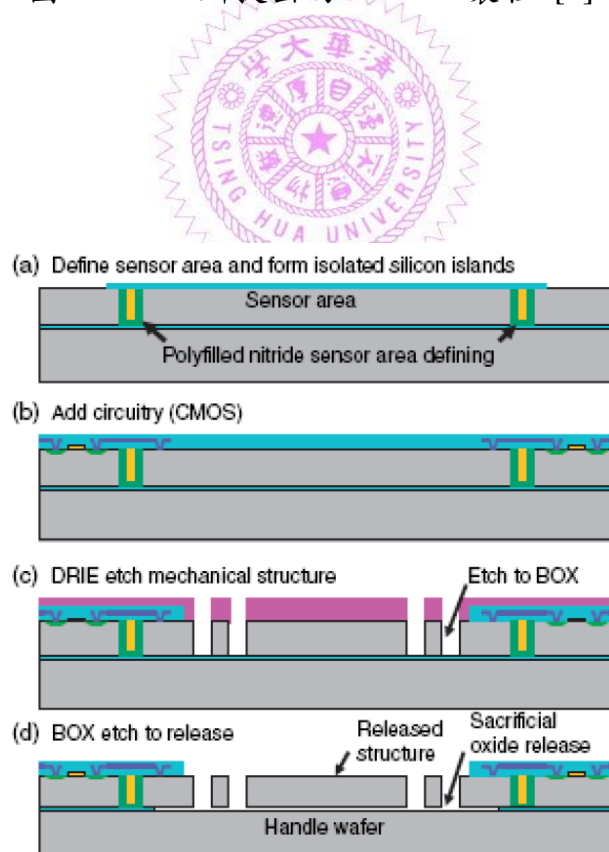


圖 B-2 ADI 所開發之 SOI iMEMS 製程 [2]

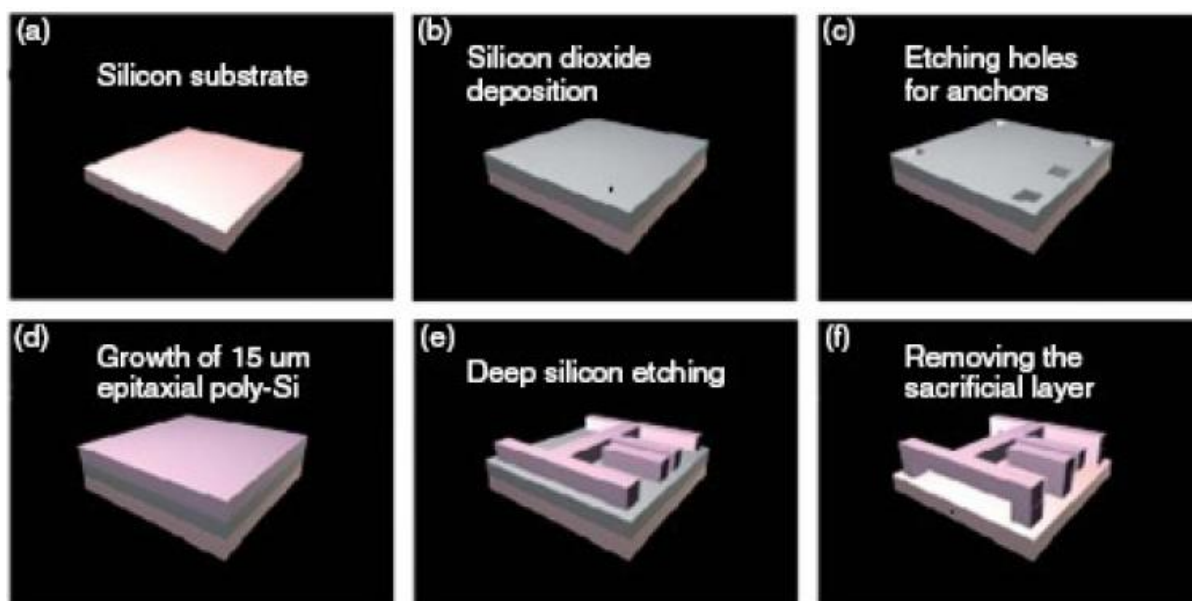


圖 B-3 STMicroelectronics 所開發的 THLMA 製程 [26]

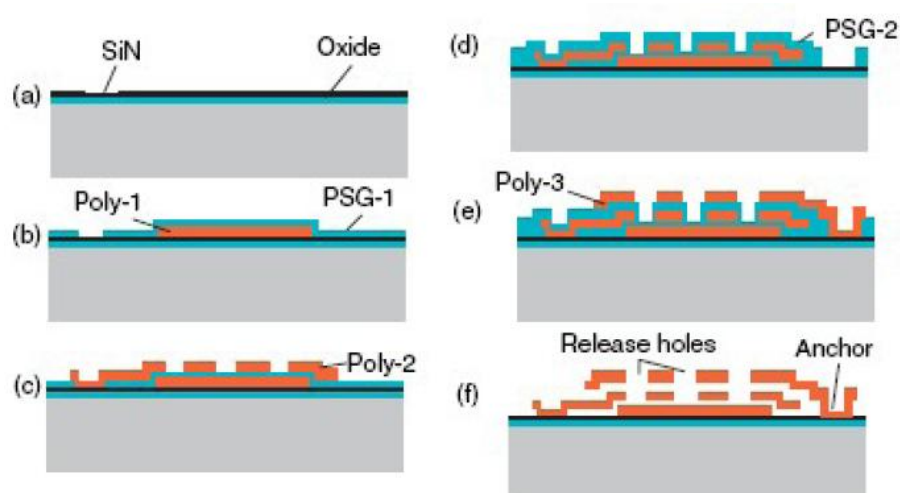


圖 B-4 Freescale 以多晶矽所開發的三明治結構 [27]

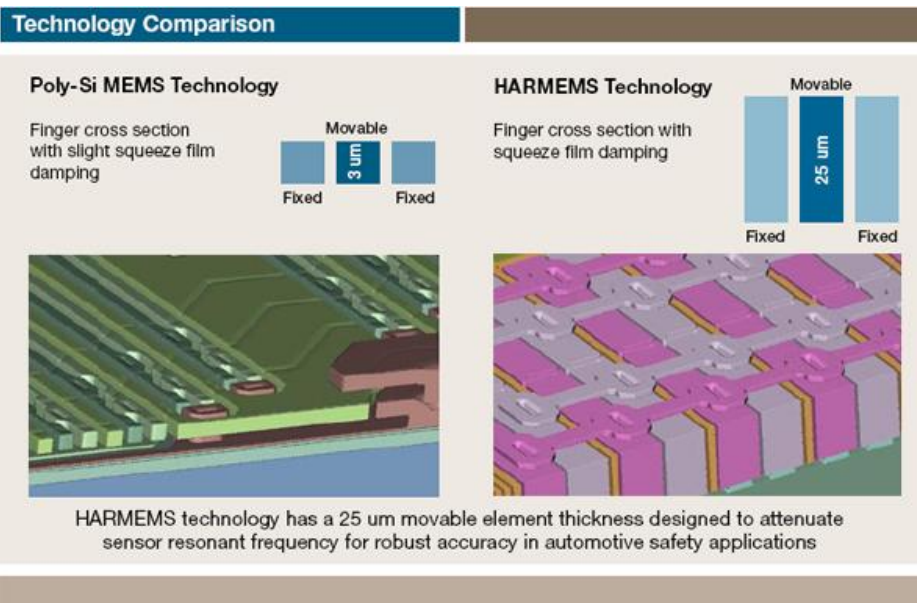


圖 B-5 Freescale 所開發的 HARMEMS 技術 [27]

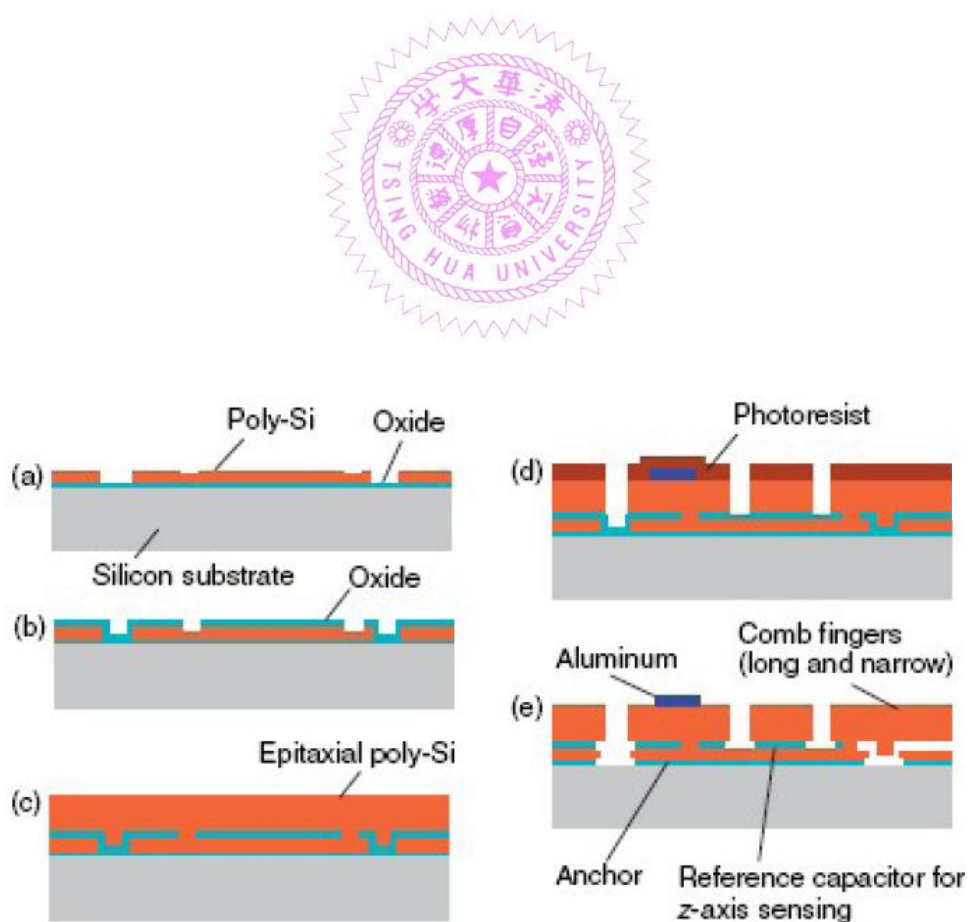


圖 B-6 Bosch 所開發的磊晶技術製程 [32]

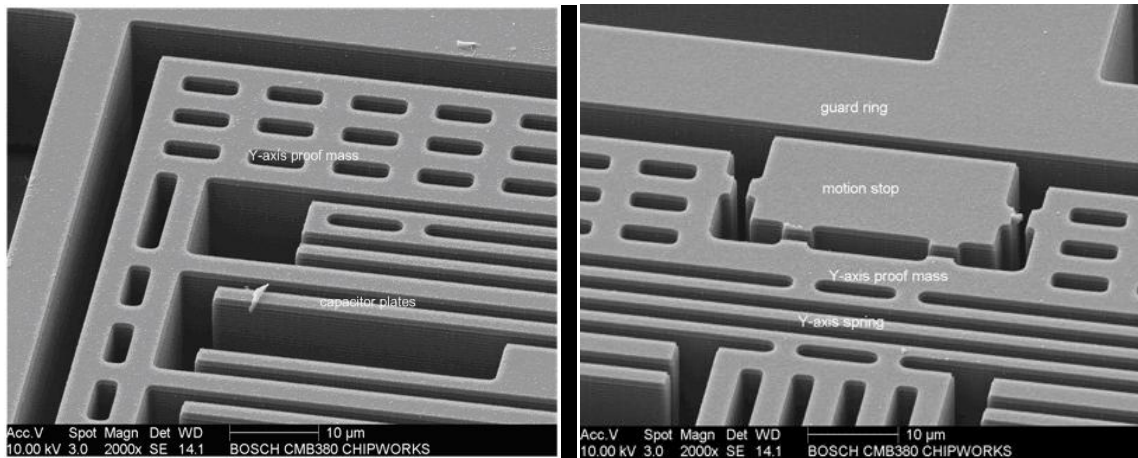


圖 B-7 以 Bosch 磊晶製程所研製的感測器 [32]

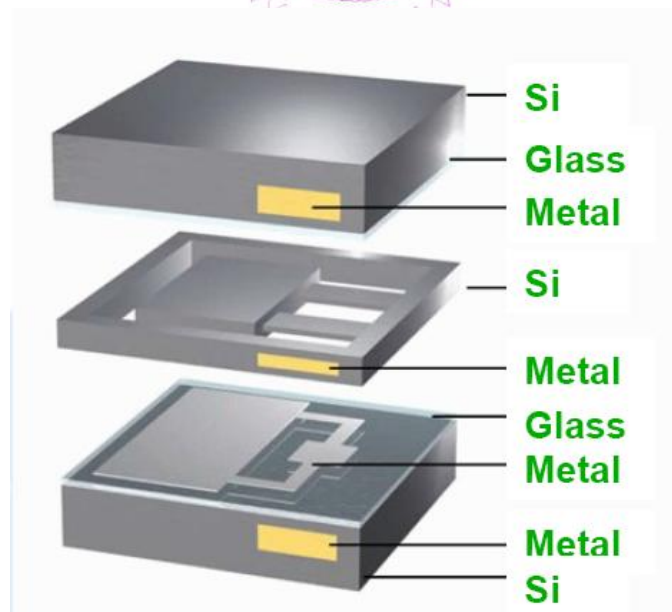


圖 B-8 VTI 所開發的三維微機電製程 [33]

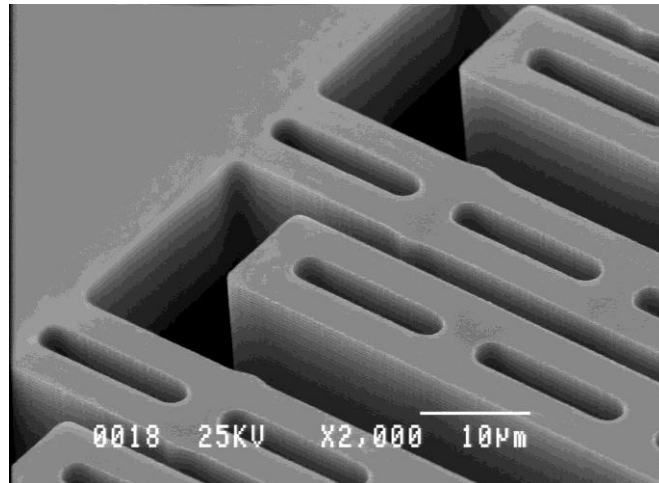


圖 B-9 DENSO 所開發的 SOI 製程結果 [38]

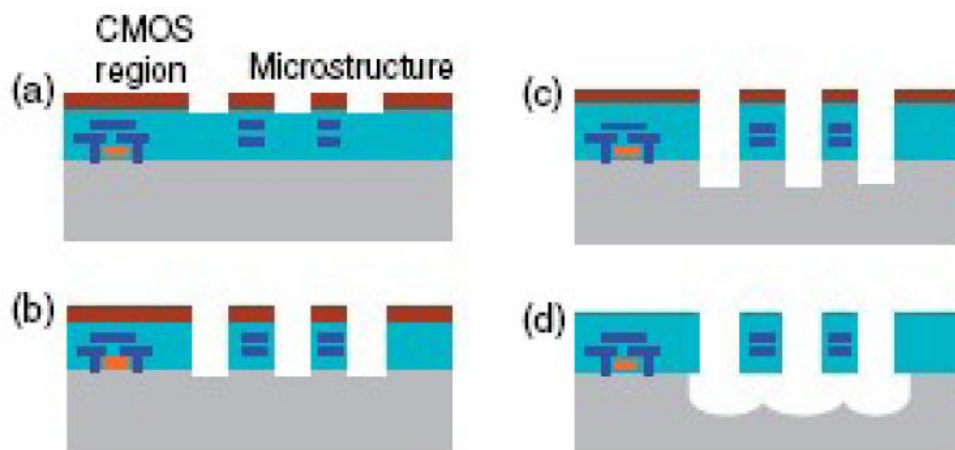


圖 B-10 MEMSIC 所開發的 CMOSMEMS 製程 [41]



圖 B-11 WACOH 所開發之擺垂式三軸加速度計 [42]

