

摘要

隨著 DRAM(dynamic random access memories)記憶密度的增加，單位記憶胞的大小也越來越小。而電子陶瓷薄膜因具有高介電常數，可以降低記憶胞之面積，故受到相當的矚目。其中之(Ba,Sr)TiO₃(BST)由於具有高介電常數、低漏電流、高崩潰電場、室溫下是順電相、以及容易控制成分等優點，極具潛力成為下世代 DRAN 之記憶材料。

在之前文獻報告中提到當以 Ir 為下電時極，BST 具有較高之介電常數，其原因和退火後 IrO₂ 在 BST 及 Ir 界面生成有關。本論文研究即在高的 Ar/O₂ 混和氣壓下，在 Ir 下電極上鍍製 BST，希望能在不需退火的情形下，在界面處自然會生成 IrO₂ 來提高介電常數。實驗結果發現當製成溫度為 550 °C 時，初鍍膜之介電常數可達 926，但相對的漏電流卻略顯過大。為了改善此現象，我們在純 Ar 氣氛下於 Ir 上先長一層薄的 BST，來抑制 IrO₂ 過量成長所造成的表面粗糙度化，之後再以混和氣氛鍍製 BST。此種雙層結構可減少 IrO₂ 形成量，降低表面粗糙度，達到高介電常數及低漏電流之高密度記憶材料之需要。